


# SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent number: JP8340091  
 Publication date: 1996-12-24  
 Inventor: HORIKAWA TAKESHI; TOKIMINE YOSHIKAZU; KUROIWA TAKEHARU; MAKITA TETSUO; MIKAMI NOBORU  
 Applicant: MITSUBISHI ELECTRIC CORP  
 Classification:  
 - international: H01L21/02; H01L21/8242; H01L21/02; H01L21/70; (IPC1-7): H01L27/108; H01G4/33; H01L21/822; H01L21/8242; H01L27/04  
 - european: H01L21/02B3B; H01L21/8242B  
 Application number: JP19960043427 19960229  
 Priority number(s): JP19960043427 19960229; JP19950063081 19950322; JP19950085537 19950411

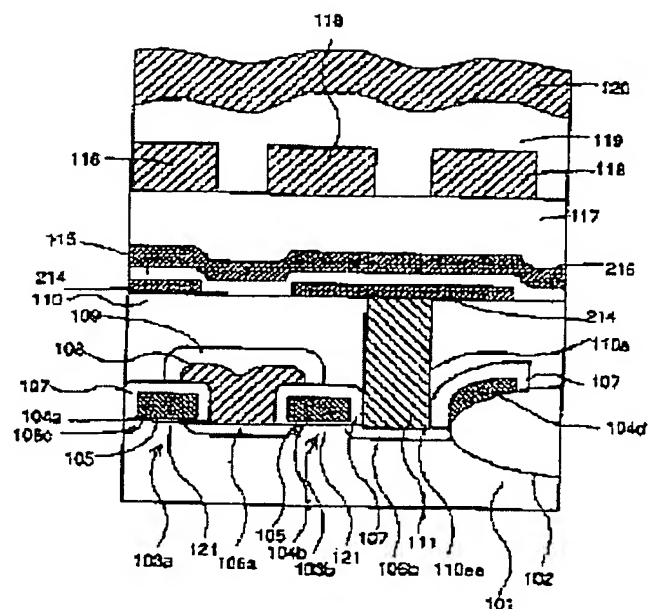
Also published as:

 US6049103 (A1)

Report a data error here

## Abstract of JP8340091

**PURPOSE:** To prevent the lowering of the dielectric constant of a thin film capacitor composed of a lower electrode, a dielectric film, and an upper electrode by suppressing leakage currents generated in the dielectric film of the capacitor by irradiating the film with high energy. **CONSTITUTION:** The upper electrode 216 and lower electrode 214 of a capacitor are formed of a hafnium-tantalum alloy. The electrode films of the electrodes 216 and 214 are formed in an argon gas by using a sputtering method using a target made of the alloy. The dielectric film of the capacitor is crystallized by heat-treating the film at 400-700 deg.C in oxygen after a BaTiO<sub>3</sub> film is formed by using a sol-gel method. The etching of the electrode films and dielectric film of the capacitor are performed by using a reactive ion etching method. Since the electrodes of the capacitor are formed on the hafnium-tantalum alloy, the electrodes can be formed by the reactive ion etching and a highly reliable stable capacitor characteristic can be obtained.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-340091

(43) 公開日 平成8年(1996)12月24日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 5 1
21/8242		7922-5E	H 0 1 G 4/06	1 0 2
H 0 1 G 4/33			H 0 1 L 27/04	C
H 0 1 L 27/04				
21/822				

審査請求 未請求 請求項の数35 O L (全 36 頁)

(21) 出願番号 特願平8-43427  
 (22) 出願日 平成8年(1996)2月29日  
 (31) 優先権主張番号 特願平7-63081  
 (32) 優先日 平7(1995)3月22日  
 (33) 優先権主張国 日本 (J P)  
 (31) 優先権主張番号 特願平7-85537  
 (32) 優先日 平7(1995)4月11日  
 (33) 優先権主張国 日本 (J P)

(71) 出願人 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目2番3号  
 (72) 発明者 堀川 剛  
 東京都千代田区丸の内二丁目2番3号 三  
 菱電機株式会社内  
 (72) 発明者 常峰 美和  
 東京都千代田区丸の内二丁目2番3号 三  
 菱電機株式会社内  
 (72) 発明者 黒岩 文晴  
 東京都千代田区丸の内二丁目2番3号 三  
 菱電機株式会社内  
 (74) 代理人 弁理士 宮田 金雄 (外3名)

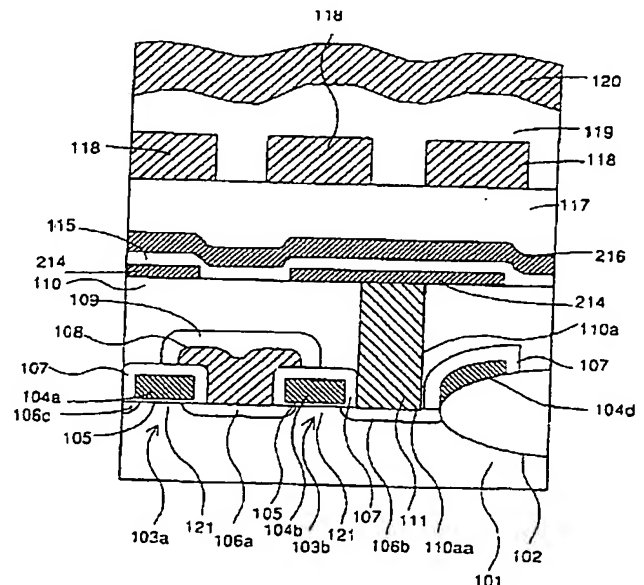
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 本発明は、キャパシタ下部電極、誘電体膜、およびキャパシタ上部電極からなる薄膜キャパシタにおいて、キャパシタの低誘電率化を防止し、半導体集積回路の高品位化を図ることを目的とする。

【解決手段】 誘電体膜中の欠陥の低減および発生の抑制を図り、または誘電体中への不純物拡散を防止し、更には誘電体膜と電極との格子整合を図ることにより上記目的を達成する。



## 【特許請求の範囲】

【請求項1】 半導体基板上に形成されたキャパシタ下部電極と、該キャパシタ下部電極の上に形成され高エネルギー照射された高誘電率材料からなる誘電体膜と、該誘電体膜の上に形成されたキャパシタ上部電極とを備えた薄膜キャパシタを有することを特徴とする半導体装置。

【請求項2】 半導体基板上に形成されたキャパシタ下部電極と、該キャパシタ下部電極の上に形成された高誘電率材料からなる誘電体膜と、該誘電体膜の上に形成されたキャパシタ上部電極と、該キャパシタ上部電極の上方に形成されたX線吸収体薄膜とを備えた薄膜キャパシタを有することを特徴とする半導体装置。

【請求項3】 半導体基板上に形成されたキャパシタ下部電極と、該キャパシタ下部電極の上に形成された高誘電率材料からなる誘電体膜と、該誘電体膜の上に形成されたキャパシタ上部電極からなる薄膜キャパシタを備えた半導体装置において、上記キャパシタ下部電極またはキャパシタ上部電極の少なくとも一方が、その酸化物あるいは窒化物が20以上の比誘電率を有する絶縁物である金属元素またはその酸化物あるいは窒化物が電気伝導性である金属元素を一種以上、主たる構成元素として含む金属電極であることを特徴とする半導体装置。

【請求項4】 半導体基板上に形成されたキャパシタ下部電極と、該キャパシタ下部電極の上に形成されたペロブスカイト構造を持つ単結晶または多結晶からなる誘電体膜と、該誘電体膜上に形成されたキャパシタ上部電極からなる薄膜キャパシタを備えた半導体装置において、上記キャパシタ下部電極またはキャパシタ上部電極の少なくとも一方が面心立方構造を有する金属または金属化合物を含み、該金属または金属化合物の格子定数と該キャパシタ電極に接置されたキャパシタ誘電体膜の格子定数のずれが2%以内であることを特徴とする半導体装置。

【請求項5】 半導体基板上にキャパシタ下部電極を形成する工程と、該キャパシタ下部電極上に誘電体膜及びキャパシタ上部電極を順次形成する工程とを備えた半導体装置の製造方法において、更に、誘電体膜を形成した後に該誘電体膜に高エネルギー線を照射する工程と、上記高エネルギー線の照射後にアニールを施す工程とを含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】 上記高エネルギー線がX線であり、その照射量が $10\text{ mJ}/\text{cm}^2$ 以上であることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 上記アニールが、酸素、水素のいずれか1種以上を主たる要素として含む雰囲気下で、300℃以上の温度で行われることを特徴とする請求項5または6のいずれか1つに記載の半導体装置の製造方法。

【請求項8】 上記X線吸収体薄膜を構成する物質の吸

光係数とX線吸収体薄膜の膜厚との積が1以上であることを特徴とする請求項2に記載の半導体装置。

【請求項9】 半導体基板上に形成されたキャパシタ下部電極と、該キャパシタ下部電極の上に形成された誘電体膜と、該誘電体膜上に形成されたキャパシタ上部電極からなる薄膜キャパシタを備えた半導体装置において、上記上部電極が少なくともイリジウム、タンタル及び白金のいずれか1つを主たる構成元素として含み、かつ、その膜厚が200nm以上、600nm以下であることを特徴とする半導体装置。

【請求項10】 半導体基板上に形成されたキャパシタ下部電極と、該キャパシタ下部電極の上に形成された誘電体膜と、該誘電体膜上に形成されたキャパシタ上部電極からなる薄膜キャパシタを備えた半導体装置において、

該キャパシタ下部電極またはキャパシタ上部電極の少なくとも一方が、白金を主成分とし、パラジウム、ルテニウム及びレニウムの中の少なくとも一種以上の元素が微量添加されることにより構成されることを特徴とする半導体装置。

【請求項11】 上記キャパシタ下部電極またはキャパシタ上部電極の少なくとも一方の誘電体膜と接する面と反対側の面に、金属の酸化物あるいは窒化物からなる保護膜が形成されていることを特徴とする請求項1～4のいずれか1つに記載の半導体装置。

【請求項12】 上記キャパシタ下部電極またはキャパシタ上部電極の少なくとも一方と誘電体膜との間に、金属酸化物あるいは金属窒化物からなる拡散防止膜が形成されており、該拡散防止膜の膜厚が20nm以下であることを特徴とする請求項1～4のいずれか1つに記載の半導体装置。

【請求項13】 上記拡散防止膜が、20以上の比誘電率を有する絶縁物であることを特徴とする請求項12に記載の半導体装置。

【請求項14】 上記拡散防止膜が、電気伝導性を有することを特徴とする請求項12に記載の半導体装置。

【請求項15】 上記キャパシタ誘電体膜が多結晶膜からなり、その主表面方向に沿った該多結晶の結晶粒径の平均値が10nmから100nmであることを特徴とする請求項1、2または4のいずれか1つに記載の半導体装置。

【請求項16】 上記誘電体膜が厚さ方向に積み重なる少なくとも2つの層からなり、これらの層の間であって下部電極角部或は側面部の近傍に酸化シリコン、窒化シリコン等の絶縁膜が挟持されていることを特徴とする請求項1、2または4のいずれか1つに記載の半導体装置。

【請求項17】 上記キャパシタ下部電極またはキャパシタ上部電極の少なくとも一方が白金電極であることを特徴とする請求項1、2または4のいずれか1つに記載

の半導体装置。

【請求項 18】 上記誘電体膜が、ペロブスカイト構造を有する 2 以上の金属酸化物の固溶体であることを特徴とする請求項 1、2 または 4 のいずれか 1 つに記載の半導体装置。

【請求項 19】 上記キャパシタ下部電極またはキャパシタ上部電極の少なくとも一方が、2 以上の金属元素の合金であることを特徴とする請求項 1、2 または 4 のいずれか 1 つに記載の半導体装置。

【請求項 20】 上記キャパシタ下部電極上に形成された誘電体膜が、ペロブスカイト結晶構造を有する第一のキャパシタ誘電体膜と、該第一のキャパシタ誘電体膜上に形成されたペロブスカイト結晶構造を有する第二のキャパシタ誘電体膜からなり、第一のキャパシタ誘電体膜の格子定数がキャパシタ下部電極と第二のキャパシタ誘電体膜の中間の格子定数を有することを特徴とする請求項 1、2 または 4 のいずれか 1 つに記載の半導体装置。

【請求項 21】 上記キャパシタ下部電極の表面が粗面化されていることを特徴とする請求項 1～4 のいずれか 1 つに記載の半導体装置。

【請求項 22】 半導体基板上にキャパシタ下部電極を形成する工程と、該キャパシタ下部電極表面を粗面化する工程と、該キャパシタ下部電極上に誘電体膜及びキャパシタ上部電極を順次形成する工程とを備えた請求項 1～4 のいずれか 1 つに記載の半導体装置の製造方法。

【請求項 23】 上記キャパシタ下部電極表面を粗面化する工程が、エッチング工程であることを特徴とする請求項 22 に記載の半導体装置の製造方法。

【請求項 24】 上記キャパシタ下部電極表面を粗面化する工程が、該キャパシタ下部電極を加熱処理することにより電極表面を粗面化する工程であることを特徴とする請求項 22 に記載の半導体装置の製造方法。

【請求項 25】 上記キャパシタ下部電極表面を粗面化する工程が、表面を粗面化した多結晶シリコン膜上にキャパシタ下部電極を形成する工程であることを特徴とする請求項 22 に記載の半導体装置の製造方法。

【請求項 26】 上記キャパシタ下部電極が、半導体基板の上面の一部を溝状にエッチングすることにより形成された下部電極埋め込み溝内に設けられることを特徴とする請求項 1～4 のいずれか 1 つに記載の半導体装置。

【請求項 27】 半導体基板の上部表面を溝状にエッチングし、下部電極埋め込み用溝を形成する工程と、該下部電極埋め込み用溝内にキャパシタ下部電極材料を設ける工程と、該キャパシタ下部電極材料の表面部分から厚みを減じる処置を施すことにより上記下部電極埋め込み用溝内だけにキャパシタ電極材料を残余させキャパシタ下部電極を形成する工程と、該キャパシタ下部電極上にキャパシタ誘電体膜及びキャパシタ上部電極を順次形成する工程とを備えた請求項 26 に記載の半導体装置の製造方法。

【請求項 28】 上記キャパシタ下部電極の電極側面間に絶縁膜が埋め込まれていることを特徴とする請求項 1～4 のいずれか 1 つに記載の半導体装置。

【請求項 29】 半導体基板上に複数のキャパシタ下部電極を形成する工程と、該キャパシタ下部電極を覆うように絶縁膜を形成する工程と、該絶縁膜の厚みを減じる処置を施すことによって前記キャパシタ下部電極の上部表面を露出させる工程と、露出したキャパシタ下部電極及び下部電極間に位置する絶縁膜上にキャパシタ誘電体膜及びキャパシタ上部電極を順次形成する工程とを備えた請求項 28 に記載の半導体装置の製造方法。

【請求項 30】 半導体基板上にその上部に保護膜を有する複数のキャパシタ下部電極を形成する工程と、該保護膜及びキャパシタ下部電極を覆うように絶縁膜を形成する工程と、該保護膜によりキャパシタ下部電極表面を保護しながら該保護膜上の絶縁膜の厚みを減じる処置を施し該保護膜表面を露出させる工程と、該保護膜をエッチング除去してキャパシタ下部電極表面を露出させる工程と、該キャパシタ下部電極及び絶縁膜上にキャパシタ誘電体膜及びキャパシタ上部電極を順次形成する工程とを備えた請求項 28 に記載の半導体装置の製造方法。

【請求項 31】 半導体基板上に複数のキャパシタ下部電極を形成する工程と、該キャパシタ下部電極表面以外の箇所に選択的に絶縁膜を形成する工程と、該キャパシタ下部電極及び絶縁膜上にキャパシタ誘電体膜とキャパシタ上部電極を順次形成する工程を備えた請求項 28 に記載の半導体装置の製造方法。

【請求項 32】 上記キャパシタ下部電極およびキャパシタ下部電極の電極側面間に位置する絶縁膜の上部に形成されたキャパシタ誘電体膜の誘電率が、絶縁膜上とキャパシタ下部電極上とで異なることを特徴とする請求項 28 に記載の半導体装置。

【請求項 33】 半導体基板上に設けられたトランジスタのゲート電極上に、該ゲート電極を保護するとともに層間絶縁膜に開口部を形成する工程において開口部底部の半導体基板表面の保護膜としても機能する保護絶縁膜が設けられたトランジスタを有する半導体装置において、

該保護絶縁膜の一部または全部がチタン酸金属塩、酸化タンタル及び酸化チタンのいずれかであることを特徴とする請求項 1～4 のいずれか 1 つに記載の半導体装置。

【請求項 34】 半導体基板の主表面上に半導体基板上の層間絶縁膜に開口部を形成する工程において開口部底部の半導体基板表面の保護膜としても機能する絶縁膜が設けられ、さらに該絶縁膜上にゲート電極を設けたトランジスタを有する上記半導体装置において、該絶縁膜の一部または全部がチタン酸金属塩、酸化タンタル及び酸化チタンのいずれかであることを特徴とする請求項 1～4 のいずれか 1 つに記載の半導体装置。

【請求項 35】 半導体基板と層間絶縁膜の間に、該基

板上に形成されたトランジスタのゲート電極の上層又は下層に位置するチタン酸金属塩、酸化タンタル及び酸化チタンのいずれかからなる絶縁膜を形成する工程と、該絶縁膜を半導体基板表面のエッチング保護膜として用いることにより該絶縁膜上に設けられた層間絶縁膜に開口部を形成する工程と、該開口部形成後に開口部底部の絶縁膜を除去する工程と、該開口部を介して半導体基板と電氣的に接続したキャパシタ下部電極を形成する工程と、該キャパシタ下部電極上にキャパシタ誘電体膜及びキャパシタ上部電極を順次形成する工程とを備えた請求項 3 または 34 に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法について、特に高誘電率の材料をキャパシタ誘電体膜等に用いた DRAM (Dynamic Random Access Memory) のキャパシタの低誘電率化を防止する構造及びその製造方法に関するものである。

#### 【0002】

【従来の技術】一般に、DRAM などの微細な半導体装置に作りこまれている回路には、種々の薄膜キャパシタが含まれている。その内、DRAM には、各メモリーセル上の微細な領域に信号電荷を保持するための薄膜キャパシタが必要である。DRAM の集積度を高めるためには、これらの薄膜キャパシタを出来るだけ小さな面積に作り込むこと、つまり、薄膜キャパシタの高容量密度化を図る必要がある。キャパシタの容量は、誘電体膜の誘電率に比例する。そこで、特開平 3-44019 号公報に記載された半導体装置では、キャパシタ用の誘電体膜を比誘電率の高い材料、例えば BaTiO<sub>3</sub> 等から構成することにより、薄膜キャパシタの高容量密度化を図っている。また、更なる DRAM の高集積化のためには、素子を層間絶縁膜を介して多層化した多層化構造の採用も必要となる。

#### 【0003】

【発明が解決しようとする課題】しかし、従来の薄膜キャパシタには、第 1 に誘電体膜中に存在する欠陥によるリーク電流に起因するキャパシタの低誘電率化の問題点があった。即ち、DRAM 等への応用に際しては、低電圧でも信号電荷を十分に確保できる高い電気容量とその電荷の散逸を防ぐための低いリーク電流が必要である。一般に、誘電体の膜厚を薄くすることで電気容量を増加することは出来るが膜中のトラップ準位に由来するリーク電流は逆に増加する、という相反する傾向がある。この膜中のトラップ準位を低減してリーク電流を減らす目的で、BaTiO<sub>3</sub> 等の高誘電率材料についてはアニール等が実施される。しかし、トラップ準位を減らし特性改善を図るためには、アニールのために 600℃ 以上の高温プロセスが必要であり、DRAM 等への応用においては、薄膜キャパシタより下部に形成されるトランジス

タなどへの悪影響が懸念されるという問題があった。また、このような処理によってもそのリーク電流の値は十分なものといえず、よりいっそうのリーク電流の低減と誘電率の増加が望まれていた。

【0004】さらに、DRAM 等の半導体装置に薄膜キャパシタを作りこむ際には、薄膜キャパシタを構成する各薄膜の加工において、短波長の紫外線を用いて薄膜上に微細なレジストパターンを形成し、それを基に薄膜のエッチングを施すことで微細な加工パターンを形成してきた。近い将来に実現が期待されている 1 G ビットの集積度を持つ DRAM では、従来の DRAM に比べて微細化が進み、最小加工幅も 0.2 μm 以下となることが想定される。従来の紫外線露光では、このような超微細パターンを解像することは困難であり、シンクロトロン放射より波長の短い軟 X 線を用いた露光が必要になる。しかし、X 線はその 1 光子当たりのエネルギーが高いことから、その照射がメモリーセルに形成される薄膜キャパシタの誘電体膜の欠陥を生成させるという問題、及び、その結果として薄膜キャパシタの特性劣化が懸念されるという問題があった。特に、DRAM 等では薄膜キャパシタより後に配線が形成されるが、この配線に用いられる Al は低融点であるため、配線を X 線露光技術を用いて加工した場合、薄膜キャパシタの特性回復がアニール等の手段では難しいといった問題もあった。

【0005】第 2 にキャパシタ下部電極としては一般に白金電極が用いられるが、かかる場合、該キャパシタ下部電極の下方の材料が該キャパシタ下部電極中を通過して誘電体膜中に拡散し、キャパシタの低誘電率化を招くという問題があった。特に、高集積化を目的とした多層構造の DRAM にあつては、図 69 に示すようにキャパシタの下部電極を下層と接続するために、該下部電極の下部にシリコンからなるプラグを設ける必要があるが、高温プロセス (>350℃) においては、かかるプラグからシリコンが電極を介して誘電体層中に拡散することにより、キャパシタの低誘電率化を招くという問題もあった。このような高温プロセス (>350℃) におけるプラグ材料の拡散を防止するために、発明者らは、図 70 に示すようにプラグ材料 11 とキャパシタ下部電極 14 との間にプラグ材料の拡散防止用のバリア層 13 を設けたが、かかるバリア層 13 の形成は DRAM の製造工程を複雑にし、好ましくなかった。

【0006】また、第 3 に上述のように一般にキャパシタ電極材料として白金が用いられているため、誘電体膜との界面に反応層を形成しにくいという長所はある反面、白金電極と誘電体膜との格子不整合に起因して誘電体膜との界面に低誘電率非晶質層が形成されやすく、この結果キャパシタの低誘電率化を招くといった問題もあった。

【0007】本発明の第 1 の目的は、リーク電流が少ない薄膜キャパシタを含む集積回路及びその製造方法を提

供することである。本発明の第2の目的は、特に多層構造のDRAMにおいて効果的な、キャパシタ下部電極下方からの誘電体膜中への材料拡散によるキャパシタの低誘電率化を防止した薄膜キャパシタを含む集積回路及びその製造方法を提供することである。本発明の第3の目的は、電極材料に白金を用い、かつ格子整合を図ることによりキャパシタの低誘電率化を防止した薄膜キャパシタを含む集積回路及びその製造方法を提供することである。

#### 【0008】

【課題を解決するための手段】そこで、本発明者らは鋭意研究の結果、第1に従来行われていた高温(>600℃)アニールに代えて誘電体膜にX線を照射した後に低温(>300℃)でアニールすることにより、更には、キャパシタ形成後における誘電体膜へのX線の照射を防止することにより、第2に電極材料として電極下部の材料が電極内を通して拡散しにくい白金以外の電極材料を用いることにより、また第3に白金電極においては、誘電体膜の格子定数を調整し白金の格子定数と整合を図ることにより、上記目的を達成できることを見出し、本発明を完成した。

【0009】即ち、本発明は本発明は半導体基板上に形成されたキャパシタ下部電極と、該キャパシタ下部電極上に形成された誘電体膜と、該誘電体膜上に形成されたキャパシタ上部電極からなる薄膜キャパシタを備えた半導体装置において、上記キャパシタ誘電体膜に高エネルギーが照射されたことを特徴とする第1の半導体装置の構造にある。誘電体膜の上記高エネルギー照射処理による低欠陥化により、誘電体膜中のリーク電流を抑え、キャパシタの低誘電率化を防止することができる。

【0010】また、本発明は半導体基板上に形成されたキャパシタ下部電極と、該キャパシタ下部電極上に形成されたキャパシタ誘電体膜と、該キャパシタ誘電体膜上に形成されたキャパシタ上部電極からなる薄膜キャパシタを備えた半導体装置において、該キャパシタ下部電極または上部電極の少なくとも一方が、その酸化物あるいは窒化物が20以上の比誘電率を有する絶縁物である金属元素を一種以上、主たる構成元素として含む金属電極である半導体装置の構造、または上記キャパシタ下部電極または上部電極の少なくとも一方が、その酸化物あるいは窒化物が電気伝導性である金属元素を、一種以上主たる構成元素として含む金属電極である第2の半導体装置の構造にある。

【0011】また、本発明は半導体基板上に形成されたキャパシタ下部電極と、該キャパシタ下部電極上に形成されたペロブスカイト構造を持つ単結晶または多結晶膜からなるキャパシタ誘電体膜と、該キャパシタ誘電体膜上に形成されたキャパシタ上部電極を備えた半導体装置において、該キャパシタ下部電極または上部電極の少なくとも一方が面心立方構造を有する金属または金属化合

物を含み、該金属または金属化合物の格子定数と該キャパシタ電極に接置されたキャパシタ誘電体膜の格子定数のずれが2%以内である第3の半導体装置の構造にある。このように電極材料の一つとして用いられる白金と誘電体膜の格子定数を2%以内に押さえることにより、格子不整合に起因して界面に形成される低誘電率非晶質層(誘電率が10~20)の形成が防止でき、キャパシタの低誘電率化が可能となる。

【0012】また、本発明は、下部電極、誘電体膜および上部電極からなる薄膜キャパシタを有する半導体装置の製造方法において、半導体基板上にキャパシタ下部電極を形成し、該下部電極上に高誘電率材料からなる誘電体膜を形成し、該誘電体膜上に上部電極を形成して、薄膜キャパシタを形成する工程と、上記誘電体膜の形成後に、該誘電体膜に高エネルギー線を照射する工程と、高エネルギー線の照射後にアニールを施す工程とを備えた第1の半導体装置の製造方法でもある。このように誘電体にX線等の高エネルギー線を照射することにより、高誘電率を有する誘電体膜に意図的に準安定な欠陥を導入し、その後の酸素雰囲気のアニールにより本来誘電体膜が有していた欠陥と準安定な欠陥とを対消滅により消滅させることにより、従来の単純なアニールによる欠陥修復に比較し効率的な膜中欠陥の低減が可能となり、誘電体膜中のリーク電流が減少し、キャパシタ性能の向上を図ることができる。また、従来、かかる誘電体中の欠陥除去のために行われてきた高温(>600℃)に比べてアニール温度が低温(>300℃)であるため、アニール時の白金電極材料の誘電体膜中への拡散を有効に防止することができる。

【0013】誘電体膜に意図的に準安定な欠陥を導入するためには、上記高エネルギー線はX線であり、その照射量は $10\text{ mJ}/\text{cm}^2$ 以上であることが好ましい。

【0014】更に、上記誘電体膜が本来有していた欠陥と、高エネルギー線の照射で導入した準安定な欠陥とを対で消滅させるためには、上記アニールが、酸素、水素のいずれか1種以上を主たる要素として含む雰囲気下で、300℃以上の温度で行われることが好ましい。

【0015】また、本発明は、薄膜キャパシタを有する半導体装置において、該薄膜キャパシタが、半導体基板上に形成された下部電極と、該下部電極上に形成された高誘電率材料からなる誘電体膜と、該誘電体膜上に形成された上部電極からなり、更に、X線吸収体薄膜が、上記上部電極の上方に形成された第1の半導体装置の構造でもある。かかるX線吸収体薄膜を形成することにより、キャパシタ形成後の誘電体膜へのX線の照射を防止し、かかるX線照射に起因する欠陥の発生を抑制することが可能となり、誘電体膜内のリーク電流の増加によるキャパシタ性能の低下を防止することが可能となる。

【0016】上記X線吸収体薄膜は、その構成物質の吸光係数と膜厚との積が1以上であることにより、有効に



X線の影響を防止することができる。

【0017】また、本発明は、半導体基板上に形成された下部電極と、該下部電極上に形成された高誘電率材料からなる誘電体膜と、該誘電体膜上に形成された上部電極を備えた薄膜キャパシタを有する半導体装置において、上記上部電極が少なくともイリジウム、タンタル及び白金のいずれか1つを主たる構成元素として含み、かつ、その膜厚が200nm以上、600nm以下である第1の半導体装置の構造でもある。かかる構造の上部電極はX線吸収膜としても機能するため、薄膜キャパシタの誘電体膜へのX線の照射を減少させ、薄膜キャパシタのリーク電流により特性劣化を防止することができる。

【0018】また本発明は、キャパシタ下部電極または上部電極の少なくとも一方が、白金を主成分とし、パラジウム、ルテニウム及びレニウムの中の少なくとも一種以上の元素が微量添加されることにより構成される半導体装置の構造にある。かかる元素が微量添加されることにより、電極が白金のみからなる場合に比べて、電極と誘電体膜との密着性が向上する。

【0019】また本発明は、キャパシタ下部電極または上部電極の少なくとも一方の誘電体膜と接する面と反対側の面に、金属の酸化物あるいは窒化物からなる保護膜を形成することにより、キャパシタ形成後の熱処理時における層間絶縁膜からキャパシタへの水分拡散を防止するものでもある。

【0020】また下部電極または上部電極の少なくとも一方と誘電体膜との間に、金属酸化物あるいは金属窒化物からなる拡散防止膜を形成することも可能であり、該拡散防止膜の膜厚は20nm以下であることが好ましい。これにより電極成分の誘電体膜中への拡散が防止できるからである。

【0021】上記拡散防止膜は、20以上の比誘電率を有する絶縁物、または電気伝導性を有することが好ましい。

【0022】また上記第3の半導体装置の構造においては、キャパシタ誘電体膜としては、 $\text{BaTiO}_3$ 、 $\text{SrTiO}_3$ 、 $\text{PbTiO}_3$ 、 $\text{CaTiO}_3$ 等が用いられるが、キャパシタ下部電極が白金、パラジウム等の貴金属を主成分とする場合、そのキャパシタ誘電体膜の主表面方向に沿った結晶粒径の平均値としては10nmから100nmであることが望ましい。このように、キャパシタ誘電体多結晶膜の結晶粒径の平均値を10nmから100nmとすることにより、誘電体膜中のリーク電流を低減することができるからである。例えば、 $\text{BaTiO}_3$ 、 $\text{SrTiO}_3$ の場合(図10)は、結晶粒径60nm以下で所定の効果が得られている。

【0023】また上記第3の半導体装置の構造においては、キャパシタ誘電体膜が厚さ方向に積み重なる少なくとも2つの層からなり、これらの層の間であって下部電極角部或は側面部の近傍に酸化シリコン、窒化シリコン

等の絶縁膜が挟持されている構造をとることも可能である。かかる構造により、電極、誘電体膜間に密着性を損なうことなくリーク電流の発生を防止できるからである。

【0024】また上記第3の半導体装置の構造においては、上記キャパシタ下部電極または上部電極の少なくとも一方が、白金電極からなる構造であってもよい。

【0025】また上記第3の半導体装置の構造においては、キャパシタ誘電体膜が、ペロブスカイト構造を有する2以上の金属酸化物の固溶体であってもよい。これにより、容易にキャパシタ電極材料と誘電体材料の格子整合を図ることができるからである。また、かかるキャパシタ下部電極または上部電極の少なくとも一方が2以上の金属元素の合金であってもよく、またキャパシタ下部電極上に形成されたキャパシタ誘電体膜が、ペロブスカイト結晶構造を有する第一のキャパシタ誘電体膜と、該第一のキャパシタ誘電体膜上に形成されたペロブスカイト結晶構造を有する第二のキャパシタ誘電体膜からなり、第一のキャパシタ誘電体膜の格子定数がキャパシタ下部電極と第二のキャパシタ誘電体膜の中間の格子定数を有する構造であってもよい。これによっても、容易にキャパシタ電極材料と誘電体材料の格子整合を図ることができるからである。

【0026】また、本発明はキャパシタ下部電極の表面が粗面化された半導体装置の構造でもある。キャパシタ下部電極の表面を粗面化することにより、キャパシタの実行面積を従来の平坦な表面を有する場合に比べて大きくすることができる、キャパシタ特性の向上を図ることができるからである。

【0027】また本発明は、キャパシタ下部電極の表面が粗面化された半導体装置の製造方法でもある。

【0028】上記表面が粗面化されたキャパシタ下部電極は、キャパシタ下部電極表面をエッチングする方法により、またはキャパシタ下部電極を加熱処理する方法により、更には表面が粗面化された多結晶シリコン膜上にキャパシタ下部電極を形成する方法により容易に提供することができる。

【0029】また本発明は、キャパシタ下部電極が、半導体基板上に設けられた層間絶縁膜の上面の一部を溝状にエッチングすることにより形成された下部電極埋め込み溝内に設けられている半導体装置の構造でもある。かかる構造を採用することにより、隣接するセル間に発生する寄生容量の低減を図ることができるからである。

【0030】上記埋め込み構造は、半導体基板の上部表面を溝状にエッチングして設ける下部電極埋め込み用溝を形成する工程と、該開口部内に導電性部材を設ける工程と、上記層間絶縁膜の表面及び下部電極埋め込み用溝内にキャパシタ下部電極材料を設ける工程と、該キャパシタ下部電極材料の表面部分から厚みを減じる処置を施すことにより上記下部電極埋め込み用溝内だけにキャパ

シタ電極材料を残余させキャパシタ下部電極を形成する工程と、該キャパシタ下部電極上にキャパシタ誘電体膜及びキャパシタ上部電極を順次形成する工程とを備えた方法により容易に提供することができる。

【0031】また本発明は、複数のキャパシタ下部電極の電極側面間に絶縁膜が埋め込まれた半導体装置の構造を提供するものである。このように複数のキャパシタ下部電極の電極側面間に絶縁膜を埋め込むことによって、隣接するセル間に発生する寄生容量の低減を図ることができるからである。

【0032】上記キャパシタ下部電極の電極側面間に絶縁膜が埋め込まれた構造は、半導体基板上に複数のキャパシタ下部電極を形成する工程と、該キャパシタ下部電極を覆うように絶縁膜を形成する工程と、該絶縁膜の厚みを減じる処置を施すことによって前記キャパシタ下部電極の上部表面を露出させる工程と、露出したキャパシタ下部電極及び下部電極間に位置する絶縁膜上にキャパシタ誘電体膜及びキャパシタ上部電極を順次形成する工程とを備えた方法により容易に提供することが可能である。

【0033】また、上記キャパシタ下部電極の電極側面間に絶縁膜が埋め込まれた構造は、半導体基板上に、上部に保護膜を有する複数のキャパシタ下部電極を形成する工程と、該保護膜及びキャパシタ下部電極を覆うように絶縁膜を形成する工程と、該保護膜によりキャパシタ下部電極表面を保護しながら該保護膜上の絶縁膜の厚みを減じる処置を施し該保護膜表面を露出させる工程と、該保護膜をエッチング除去してキャパシタ下部電極表面を露出させる工程と、該キャパシタ下部電極及び絶縁膜上にキャパシタ誘電体膜及びキャパシタ上部電極を順次形成する工程を備えた方法によっても容易に提供することができる。特に、かかる方法では工程中電極上面は保護膜により保護されているため、処理工程中における電極表面のダメージを低減することが可能となる。

【0034】また、上記キャパシタ下部電極の電極側面間に絶縁膜が埋め込まれた構造は、半導体基板上に複数のキャパシタ下部電極を形成する工程と、該キャパシタ下部電極以外の箇所に選択的に絶縁膜を形成する工程と、該キャパシタ下部電極及び絶縁膜上にキャパシタ誘電体膜とキャパシタ上部電極を順次形成する工程を備えた方法によっても容易に提供することができる。

【0035】更に本発明は、半導体基板上に形成された複数のキャパシタ誘電体膜の誘電率が、キャパシタ下部電極の電極間に位置する絶縁膜上とキャパシタ下部電極上とで異なる構造を提供するものである。かかる構造によっても、キャパシタ間を低誘電率の層間絶縁膜で分離することにより、キャパシタ間の寄生容量の低減が可能となる。

【0036】特に本発明は、半導体基板上に形成され、該半導体基板の種表面に達する開口部を有する層間絶縁

膜と、該開口部を介して半導体基板の主表面と電気的に接続されたキャパシタ下部電極と、該キャパシタ下部電極上に形成されたキャパシタ誘電体膜と、該キャパシタ上部電極を備えた多層構造の半導体装置であって、上記半導体基板上に設けられたトランジスタのゲート電極上に、該ゲート電極を保護するとともに層間絶縁膜に上記開口部を形成する工程において開口部底部の半導体基板表面の保護膜としても機能する保護絶縁膜が設けられたトランジスタを有し、該保護絶縁膜の一部または全部が

10 チタン酸金属塩、酸化タンタル及び酸化チタンのいずれかである半導体装置の構造を提供するものである。かかる開口部底部の半導体基板表面の保護膜としても機能する保護絶縁膜を設けることにより、半導体素子製造工程における上記開口部底部の半導体表面の損傷を防ぎ、損傷により発生する寄生容量の低減を図ることができる。

【0037】また半導体基板の主表面上に半導体基板上の層間絶縁膜に開口部を形成する工程において開口部底部の半導体基板表面の保護膜としても機能する絶縁膜が設けられ、さらに該絶縁膜上にゲート電極を設けたトランジスタを有する半導体装置においては、該絶縁膜の一部または全部がチタン酸金属塩、酸化タンタル及び酸化チタンのいずれかであることが好ましい。

【0038】多層化された上記半導体装置の構造は、半導体基板と層間絶縁膜の間に、該基板上に形成されたトランジスタのゲート電極の上層又は下層に位置するチタン酸金属塩、酸化タンタル及び酸化チタンのいずれかからなる絶縁膜を形成する工程と、該絶縁膜を半導体基板表面のエッチング保護膜として用いることにより該絶縁膜上に設けられた層間絶縁膜に開口部を形成する工程と、該開口部形成後に開口部底部の絶縁膜を除去する工程と、該開口部を介して半導体基板と電気的に接続したキャパシタ下部電極を形成する工程と、該キャパシタ下部電極上にキャパシタ誘電体膜及びキャパシタ上部電極を順次形成する工程とを備えた方法により容易に提供することができる。

【0039】

【発明の実施の形態】以下、添付の図面を用いて本発明の実施の形態を説明する。尚、図中同一符号は同一または相当部分を示す。

40 【0040】実施の形態1. 図1は、本発明の第1の実施の形態にかかるDRAMの部分断面図である。図1中、P型半導体基板101、フィールド酸化膜102、トランスファゲートトランジスタ103a、103b、N型不純物領域106a、106b、チャネル領域121、ゲート絶縁膜105、ゲート電極104a、104b、酸化膜107、埋め込みビット線108、絶縁層109、第一の層間絶縁膜110、コンタクトホール110a、プラグ111等のキャパシタ下部の構造については従来と同様である。また、キャパシタ上部の第二の層間絶縁膜117、第一のアルミ配線層118、保護膜1



19、アルミニウム配線層120等も従来と同様である。本実施の形態のDRAMにおいては、キャパシタ上部電極216及びキャパシタ下部電極214を、従来の白金に代えてハフニウム80atm%とタンタル20atm%の合金によって形成した。それぞれの電極膜形成は、合金ターゲットを用い、アルゴンガス中でスパッタリング法により行った。キャパシタ下部電極膜の膜厚は、好ましくは30～150nmであり、キャパシタ上部電極膜の膜厚は、好ましくは40～200nmである。キャパシタ誘電体膜はBaTiO<sub>3</sub>膜をゾルゲル法により形成後、400～700℃の酸素中での熱処理により結晶化させた。電極膜とキャパシタ誘電体膜のエッチング加工は、反応性イオンエッチング法により行った。本実施の形態においては、キャパシタの電極を従来の白金に代えてハフニウム80atm%とタンタル20atm%の合金によって形成したので、反応性イオンエッチングでの加工が容易となった。また、キャパシタ誘電体膜の結晶化のための熱処理等による酸化膜層等の界面低誘電率層の生成も認められず、信頼性の高い安定したキャパシタ特性を実現できた。

【0041】実施の形態2。図2は、本発明の第2の実施の形態にかかるDRAMの部分断面図である。

【0042】本実施の形態においては、キャパシタ上部電極316及びキャパシタ下部電極314を、従来の白金に代えてタンタル80atm%とチタン20atm%の合金によって構成した。それぞれの電極膜形成は、合金ターゲットを用い、アルゴンガス中でスパッタリング法により行った。キャパシタ下部電極膜の膜厚は、好ましくは300～1500Åであり、キャパシタ上部電極膜の膜厚は、好ましくは400～2000Åである。キャパシタ誘電体膜315はSrTiO<sub>3</sub>膜をCVD法により、400～600℃の酸素雰囲気下で形成した。電極膜とキャパシタ誘電体膜のエッチング加工は、反応性イオンエッチング法により行った。本DRAMにおいては、キャパシタの電極を従来の白金に代えてタンタル80atm%とチタン20atm%の合金によって形成したので、反応性イオンエッチングでの加工が容易となった。またキャパシタ誘電体膜の高温生成によりキャパシタ下部電極とキャパシタ誘電体膜との界面に、キャパシタ下部電極の酸化によると思われる極く薄い反応層の生成が認められたが、白金を用いた時とキャパシタンスは同等であり、電極材料の酸化膜等が形成されてもキャパシタ誘電率の低化を招かないという本発明の効果が認められた。

【0043】実施の形態3。図3は、本発明の第3の実施の形態にかかるDRAMの部分断面図である。

【0044】本実施の形態のDRAMにおいては、キャパシタ上部電極416及びキャパシタ下部電極414を、従来の白金に代えてルテニウム80atm%とパラジウム20atm%の合金によって形成した。電極膜形

成は、合金ターゲットを用い、アルゴンガス中でスパッタリング法により行った。キャパシタ下部電極膜の膜厚は、好ましくは30～150nmであり、またキャパシタ上部電極膜の膜厚は、好ましくは40～200nmである。キャパシタ誘電体膜はBaTiO<sub>3</sub>膜をゾルゲル法により形成後、400～700℃の酸素中での熱処理により結晶化させた。電極膜とキャパシタ誘電体膜のエッチング加工は、反応性イオンエッチング法により行った。本DRAMにおいては、キャパシタの電極を従来の白金に代えてルテニウム80atm%とパラジウム20atm%の合金によって形成したので、反応性イオンエッチングでの加工がより容易となった。また、キャパシタ誘電体膜の結晶化のための熱処理等による界面低誘電率層の生成も認められず、信頼性の高い安定したキャパシタ特性を実現できた。

【0045】実施の形態4。図4は、本発明の第4の実施の形態にかかるDRAMの部分断面図である。

【0046】本DRAMにおいては、キャパシタ上部電極516及びキャパシタ下部電極514を、従来の白金に代えてイリジウムによって形成した。それぞれの電極膜形成は、ターゲットを用い、アルゴンガス中でスパッタリング法によって行った。キャパシタ下部電極膜の膜厚は、好ましくは30～150nmであり、またキャパシタ上部電極膜の膜厚は、好ましくは40～200nmである。キャパシタ誘電体膜はSrTiO<sub>3</sub>膜をCVD法により、400～600℃の酸素雰囲気下で形成した。電極膜とキャパシタ誘電体膜のエッチング加工は、反応性イオンエッチング法により行った。本DRAMにおいては、キャパシタの電極を従来の白金に代えてイリジウムによって形成したので、反応性イオンエッチングでの加工が容易となった。またキャパシタ誘電体膜の結晶化のための熱処理等によりキャパシタ下部電極とキャパシタ誘電体膜との界面にキャパシタ下部電極の酸化によると思われる極く薄い反応層の生成が認められたが、白金を用いた時とキャパシタンスは同等であり、電極材料の酸化膜等が形成されてもキャパシタ誘電率の低化を招かないという効果が認められた。

【0047】実施の形態5。図5は、本発明の第5の実施の形態にかかるDRAMの部分断面図である。

【0048】本実施の形態のDRAMにおいては、キャパシタ下部電極614とキャパシタ上部電極616に、白金中にルテニウム、パラジウム、レニウムのいずれかを0.5～5atm%添加したものを用いた。膜形成は、アルゴンガス中でスパッタリング法によって行った。キャパシタ下部電極膜の膜厚は、望ましくは、30～200nmでありまた、キャパシタ上部電極膜の膜厚は、好ましくは40～200nmである。キャパシタ誘電体膜はBaTiO<sub>3</sub>膜をゾルゲル法により形成後、400～700℃の酸素中での熱処理により結晶化させた。本DRAMにおいては、キャパシタの電極を従来の

不純物を含有しない白金に代えてルテニウム、パラジウム、レニウム等を含有させたので、リソグラフィ工程でのキャパシタ下部電極 614、層間絶縁膜 110 間の剥離による歩留まり低下がなく、信頼性の高い安定したキャパシタ特性を実現できることがわかった。

【0049】実施の形態 6. 図 6 は、本発明の第 6 の実施の形態にかかる DRAM の部分断面図である。

【0050】本実施の形態の DRAM において、キャパシタ 160 は従来と同様にキャパシタ下部電極 114、キャパシタ誘電体膜 115、キャパシタ上部電極 116 から構成されている。また、第一の層間絶縁膜の上部には第一の保護膜 131 が形成されており、キャパシタ下部電極及びキャパシタ誘電体膜はこの保護膜 131 を介して第一の層間絶縁膜と接している。更に、第二の層間絶縁膜の下部には第二の保護膜 132 が形成されており、キャパシタ上部電極はこの第二の保護膜 132 を介して第二の層間絶縁膜と接している。第一の保護膜 131 及び第二の保護膜 132 には、プラズマ CVD 法により形成したシリコン窒化膜を用いている。その膜厚は、それぞれ 30~100 nm が望ましく、本実施の形態では 50 nm としている。第一の層間絶縁膜及び第二の層間絶縁膜としては、TEOS (tetraethyl orthosilicate) 法による酸化シリコン膜を用いている。それぞれ膜形成後、表面平坦化のために、800~900℃でリフロー処理をした。本 DRAM においては、上述のように第一の保護膜 131 及び第二の保護膜 132 を形成したので、層間絶縁膜からキャパシタ誘電体膜への水分の拡散を抑制することができた。

【0051】実施の形態 7. 図 7 は、本発明の第 7 の実施の形態にかかる DRAM の部分断面図である。

【0052】本実施の形態の DRAM においては、従来例と同様にキャパシタ 160 は、キャパシタ下部電極 114、キャパシタ誘電体膜 115、キャパシタ上部電極 116 から構成されている。キャパシタ下部電極とキャパシタ上部電極は、スパッタリングによって形成した白金膜である。キャパシタ誘電体は、BaTiO<sub>3</sub> 膜を CVD 法により形成し、熱処理により結晶性を高めたものを用いた。キャパシタ下部電極とキャパシタ誘電体膜の間には第一の拡散防止膜 133 が形成されており、キャパシタ上部電極とキャパシタ誘電体膜の間には第二の拡散防止膜 134 が形成されている。第一の拡散防止膜 133 及び第二の拡散防止膜 134 としては、酸化チタン膜を用いている。その膜厚は、それぞれ 5~20 nm が望ましく、本実施の形態では 10 nm としている。この酸化チタン膜は、誘電率が 80~90 と高いために、上記の膜厚程度ではこの膜を挟持したことによるキャパシタンスの低下はほとんど認められなかった。また、絶縁性はこの拡散防止膜の設置によって向上しており、キャパシタ誘電体膜中への白金の拡散が減少していることが二次イオン質量分析法による評価から明らかになった。

【0053】本実施の形態においては、このように第一の拡散防止膜 133 及び第二の拡散防止膜 134 を形成したので、電極成分元素である白金のキャパシタ誘電体膜への拡散を抑制することができ、良好なキャパシタ特性を有する半導体装置を得ることができた。

【0054】実施の形態 8. 図 8 は、本発明の第 8 の実施の形態にかかる DRAM の部分断面図である。

【0055】本実施の形態においては、従来例と同様にキャパシタは、キャパシタ下部電極 114、キャパシタ誘電体膜 115、キャパシタ上部電極 116 から構成されている。キャパシタ下部電極とキャパシタ上部電極は、スパッタリングによって形成した白金膜である。キャパシタ誘電体は、BaTiO<sub>3</sub> 膜を CVD 法により形成し、熱処理により結晶性を高めたものを用いた。キャパシタ下部電極とキャパシタ誘電体膜の間には第一の拡散防止膜 135 が形成されており、キャパシタ上部電極とキャパシタ誘電体膜の間には第二の拡散防止膜 136 が形成されている。第一の拡散防止膜 135 及び第二の拡散防止膜 136 としては、窒化チタン膜を用いている。その膜厚は、それぞれ 10~40 nm が望ましく、本実施の形態では 10 nm としている。この窒化チタン膜は、電気伝導性でありこの膜の設置によるキャパシタンスの低下はほとんど認められなかった。また、絶縁性はこの拡散防止膜の設置によって向上しており、それとともにキャパシタ誘電体膜中への白金の拡散が減少していることが二次イオン質量分析法による評価から明らかになった。本実施の形態においては、このように第一の拡散防止膜 135 及び第二の拡散防止膜 136 を形成したので、電極成分元素である白金のキャパシタ誘電体膜への拡散を抑制することができた。

【0056】実施の形態 9. 図 9 は、本発明の第 9 の実施の形態にかかる DRAM の部分断面図である。

【0057】本実施の形態においては、キャパシタ下部電極とキャパシタ上部電極は、スパッタリングによって形成した白金膜である。キャパシタ誘電体膜としては、BaTiO<sub>3</sub> 膜を用いたが、BaTiO<sub>3</sub> 膜を反応性スパッタリング法により形成する際に、膜堆積時の基板温度や圧力等の調整により、主表面方向に沿った結晶粒径を任意に選択して誘電体膜 215 を形成することができた。図 10 に、キャパシタ誘電体膜 (BaTiO<sub>3</sub> または SrTiO<sub>3</sub>) の平均結晶粒径と、キャパシタのリーク電流の関係を示す。図から明らかなように、BaTiO<sub>3</sub> の平均結晶粒径を 50 nm にすることにより、印加電圧 2 V の時に、キャパシタのリーク電流値は、 $2 \times 10^{-8}$  A/cm<sup>2</sup> となり良好なリーク特性が得られた。本実施の形態においては、このように多結晶の主表面方向の粒径を十分に小さくしたキャパシタ誘電体膜 215 を用いたので、良好なリーク特性を示すキャパシタを形成できた。

【0058】実施の形態 10. 図 11 は、本発明の第 1

0の実施の形態にかかるDRAMの部分断面図である。

【0059】本実施の形態のDRAMにおいては、キャパシタ下部電極114形成の上に第一のキャパシタ誘電体膜315aを形成し、更にその上部に酸化シリコン膜137がキャパシタ下部電極の側壁を覆うように形成されている。また、その上部には第二のキャパシタ誘電体膜315b、キャパシタ上部電極116が順次形成されている。第一のキャパシタ誘電体膜315a及び第二のキャパシタ誘電体膜315bとして、BaTiO<sub>3</sub>膜を反応性スパッタリング法により形成した。これらの膜厚は、それぞれ5nm以上であることが望ましく、本実施の形態ではそれぞれ30nmとした。酸化シリコン膜は、プラズマCVD法により300nm程度堆積し、その後異方性エッチングを行うことで、段差部分である下部電極の側面を覆うように酸化シリコン膜を残余させるようにした。このようにして段差部分に酸化シリコン膜を残余させることで、キャパシタのリーク電流は、かかるシリコン膜の無い従来構造に比べて、キャパシタのリーク電流値が2桁程度低下し、印加電圧2Vの時、 $6 \times 10^{-8} \text{ A/cm}^2$ が得られた。

【0060】本DRAMにおいては、このように酸化シリコン膜137を第一のキャパシタ誘電体膜315aと第二のキャパシタ誘電体膜315bの間に挟持させ、かつ、キャパシタ下部電極114の側面に残余させるようにしたので、キャパシタ下部電極114側面からのリークを低減でき、その結果、良好なリーク特性を示すキャパシタを形成できた。

【0061】実施の形態11. 図12は、本発明の第1の実施の形態にかかるDRAMの部分断面図である。

【0062】本実施の形態のDRAMにおいては、キャパシタ下部電極114としてPtを用いた。キャパシタ誘電体膜415をBaTiO<sub>3</sub>とSrTiO<sub>3</sub>の固溶体として反応性スパッタリング法により200nm程度の膜厚を形成した。その上部にはキャパシタ上部電極として、Ptをスパッタ法により形成し、さらに、キャパシタ誘電体膜と上部電極を加工した後、従来例と同様に層間絶縁膜以降の工程を行った。キャパシタ誘電体膜として用いた固溶体(BaTiO<sub>3</sub>)<sub>1-x</sub>(SrTiO<sub>3</sub>)<sub>x</sub>の量比Xを様々に変えた場合の格子定数の変化を図13に示す。この結果は既にM. McQuarrieによって調査されたもの(Landolt-Bornstein, New Series, Group III, Volume 16, Ferroelectrics and Related Substances, Subvolume a: Oxides, Springer-Verlag Berlin Heidelberg New York 1981, p416, Fig. 669) とほぼ同様のものである。

【0063】図13より、X=0.8~0.9の範囲では、固溶体(BaTiO<sub>3</sub>)<sub>1-x</sub>(SrTiO<sub>3</sub>)<sub>x</sub>と白金の格子定数は0.3%以内程度に一致することが分かる。また、量比Xを様々に変えた場合の薄膜の誘電率の変化を図14に示す。X=0.8付近の組成比では誘電

率がそれ以外の組成比領域に対して誘電率が高い。これは白金と誘電体膜の格子定数のずれが少ないため、界面低誘電率層の形成を避けることが出来たためであると考えられる。

【0064】本実施の形態においては、このようにキャパシタ誘電体膜415を二種以上のペロブスカイト構造を有する金属酸化物の固溶体とし、その金属酸化物の量比を調製することでキャパシタ下部電極またはキャパシタ上部電極とキャパシタ誘電体膜の格子整合を取るようにしたので、キャパシタ誘電体膜415と電極との界面における低誘電率層の形成を避けることができ、その結果、高い誘電率を示すキャパシタ誘電体膜415を安定して形成できた。

【0065】なお、本実施の形態においては、キャパシタ誘電体膜415としてBaTiO<sub>3</sub>とSrTiO<sub>3</sub>の固溶体を用い、その量比の調整によって格子定数を金属電極に整合させたが、この例に限らず、PbTiO<sub>3</sub>やCaTiO<sub>3</sub>等の数多くのペロブスカイト型結晶構造の酸化物の中から二つ以上の酸化物を選び、それらの量比を調整することで格子定数を金属電極に整合させれば、本実施の形態と同等の効果が得られる。

【0066】実施の形態12. 図15は、本発明の第2の実施の形態にかかるDRAMの部分断面図である。

【0067】本実施の形態においては、キャパシタ誘電体膜115として、SrTiO<sub>3</sub>を用いた。SrTiO<sub>3</sub>は、反応性スパッタリング法により200nm程度の膜厚を形成した。キャパシタ誘電体膜の上部にはキャパシタ上部電極716をスパッタ法により形成し、さらに、キャパシタ誘電体膜と上部電極を加工した後、従来例と同様に層間絶縁膜以降の工程を行った。キャパシタ下部電極膜714およびキャパシタ上部電極膜716には、Reを微量含有せしめたPtを用いた。Re添加量を0, 5, 10, 15wt%と変え、Re添加による金属電極の格子定数とキャパシタ誘電体膜の誘電率の変化を調べた。Re添加による格子定数の変化を図16に示す。添加量が増加するに従い、格子定数は単調に減少し、Reを10wt%添加したとき、SrTiO<sub>3</sub>と同等の格子定数3.90Åが得られた。Re添加による誘電率の変化を図17に示す。Reを10wt%添加したとき誘電率がそれ以外の添加量に対して高い誘電率が得られた。これは電極と誘電体膜の格子定数のずれが少ないため、界面低誘電率層の形成を避けることができたためであると考えられる。

【0068】本実施の形態においては、このように電極膜を合金とし、その量比を調製することでキャパシタ下部電極またはキャパシタ上部電極とキャパシタ誘電体膜の格子整合を取るようにしたので、キャパシタ誘電体膜と電極との界面における低誘電率層の形成を避けることができ、その結果高い誘電率を示すキャパシタ誘電体膜を安定して形成できた。さらに、これによって半導体装

置のソフトエラー率の低減などに寄与することができた。尚、本実施の形態においては、電極としてReを添加したPt膜を用い、その量比の調整によって格子定数をキャパシタ誘電体膜に整合させたが、この例に限らず、面心立法格子からなる金属に対して、他の金属元素を添加することでその格子定数をキャパシタ誘電体膜と整合するように調整すれば、本実施の形態と同等の効果が得られる。

【0069】実施の形態13. 図18は、本発明の第13の実施の形態にかかるDRAMの部分断面図である。

【0070】本実施の形態においては、キャパシタ下部電極114としてPtを用いた。キャパシタ下部電極114形成後、第一のキャパシタ誘電体膜515aとして、固溶体 $(\text{BaTiO}_3)_{1-x}(\text{SrTiO}_3)_x$ を反応性スパッタ法により20nmの膜厚形成した。この時BaTiO<sub>3</sub>とSrTiO<sub>3</sub>のモル比を $X=0.4$ とした。さらに、その上部に第二のキャパシタ誘電体膜515bとしてBaTiO<sub>3</sub>を反応性スパッタリング法により200nm程度の膜厚を形成した。その上部にはキャパシタ上部電極116として、Ptをスパッタ法により形成し、さらに、キャパシタ誘電体膜515abと上部電極116を加工した後、従来例と同様に層間絶縁膜以降の工程を行った。このようにして形成したDRAMにおいては、キャパシタ誘電体膜をBaTiO<sub>3</sub>単層とした場合に比べて、キャパシタンスの増加が認められた。これは、BaTiO<sub>3</sub>単層の場合には、下部電極であるPtとキャパシタ誘電体膜であるBaTiO<sub>3</sub>との間に大きな格子定数の不一致が存在し、その結果界面に低誘電率の非晶質層が発生していたのに対し、本実施の形態においてはPtとBaTiO<sub>3</sub>の間に両材料の中間の格子定数を有する誘電体膜を介在させたため、上記キャパシタ誘電体膜と電極との界面における低誘電率層の発生を避けることができたためであると考えられる。

【0071】尚、本実施の形態においては、キャパシタ下部電極としてPtを、第一のキャパシタ誘電体膜としてBaTiO<sub>3</sub>とSrTiO<sub>3</sub>の固溶体を、さらに、第二のキャパシタ誘電体膜としてBaTiO<sub>3</sub>を用いたが、本発明は、SrTiO<sub>3</sub>やBaTiO<sub>3</sub>或いはPbTiO<sub>3</sub>等のペロブスカイト型酸化物と面心立法型の結晶構造を有する金属電極の格子不整合に伴う界面低誘電率層の形成を避ける手法として一般に有効である。

【0072】実施の形態14. 図19は、本発明の第14の実施の形態にかかるDRAMの部分断面図であり、図20～23は、本発明にかかるDRAMの製造工程の示す部分断面図である。

【0073】本実施の形態では、キャパシタ下部電極814として、白金あるいは白金にアルミニウムを1atm%ドーブしたものをスパッタリング法により、キャパシタ下部電極の表面が粗面となるように形成した。キャパシタ下部電極814の膜厚は、60nmから300nm

mが適当であり、ここでは100nmとした。キャパシタ誘電体115としては、BaTiO<sub>3</sub>膜を反応性スパッタリング法により形成したものをを用いた。キャパシタ上部電極116は、スパッタリングによって形成した白金膜である。以上のように、キャパシタを構成することで、従来例に比べてキャパシタの実効面積を増加できるので、キャパシタンスの増加を図ることができる。このように本実施の形態では下部電極を粗面化することにより、キャパシタの実効面積の増加を図ることができ、その結果良好なキャパシタ特性を有する半導体装置を得ることができた。

【0074】本実施の形態の製造方法を図20～23によって説明する。図20のように、キャパシタ下部電極814を形成するために、まず白金あるいは白金にアルミニウムを1atm%ドーブした薄膜138をスパッタリング法により形成した。その膜厚は、後に述べる粗面化工程での膜減りを見込んで、60nmから300nmが適当であり、本実施の形態では100nmとした。図21のように、これらの膜のパターニング後、粗面化のために白金を用いたものについては、アルゴン雰囲気ですパッタエッチを行ない、下部電極814とした。また、白金にアルミニウムをドーブしたものについては、酸素中で熱処理を行なうことで白金の粒界に酸化アルミニウムを偏析させたのち、RIEにより酸化アルミのみを選択的にエッチング除去し、粗面化した下部電極814とした。図22のように、キャパシタ誘電体115としてBaTiO<sub>3</sub>膜を反応性スパッタリング法により形成した。更に、キャパシタ上部電極116として白金膜をスパッタリングによって形成した。図23のように、従来例と同様に、第二の層間絶縁膜、第一のアルミ配線層、保護膜及び第二のアルミ配線層の形成と加工を順次行なった。

【0075】以上のような製造方法により、DRAMを作製することにより、従来例に比べてキャパシタンスを増加させることができた。その増加量は白金をスパッタエッチしたものについては10%、白金-アルミニウムをRIE処理したものについては20%程度であった。かかる下部電極表面にはそれぞれ30nm程度の凹凸が粗面化の処理後認められたことから、前記のキャパシタンスの増加は、キャパシタの実効面積の増加によるものであると考えられる。リーク電流等には、従来例との間で顕著な違いは認められなかった。

【0076】本実施の形態においては、このように下部電極をエッチングによって粗面化するという簡単な工程の追加によりキャパシタの実効面積の増加を図ることができ、その結果、良好なキャパシタ特性を有する半導体装置を得ることができた。

【0077】実施の形態15. 図24に本発明の第15の実施の形態を、図25～図28に本発明にかかるDRAMの製造工程の部分断面図を示す。

【0078】本実施の形態では、キャパシタ下部電極として、チタンと白金を順次形成したものをを用いた。下部電極形成後、酸化雰囲気中で加熱処理することによりキャパシタ下部電極の表面を粗面化するようにしている。キャパシタ誘電体としては、BaTiO<sub>3</sub>膜を反応性スパッタリング法により形成したものをを用いた。キャパシタ上部電極は、スパッタリングによって形成した白金膜である。以上のように、キャパシタを構成することで、従来例に比べてキャパシタの実効面積を増加することができるのでキャパシタンスの増加を図ることができた。本実施の形態においては、このように下部電極を粗面化し、キャパシタの実効面積の増加を図ることにより、良好なキャパシタ特性を有する半導体装置を得ることができた。

【0079】本実施の形態の製造方法を図25～28によって説明する。図25のように、キャパシタ下部電極914を形成するために、まずチタン薄膜139と白金薄膜140の積層したものをスパッタリング法によって形成した。膜厚はチタン層139について10nmから50nmが適当であり、白金層140については50nmから200nmが適当である。次に図26のように、下部電極のパターニング後、酸素中での600℃から900℃の加熱処理により、下部電極表面に100nm程度の凹凸を形成した。次に図27のように、キャパシタ誘電体115としてBaTiO<sub>3</sub>膜を反応性スパッタリング法により形成した。更に、キャパシタ上部電極116として白金膜をスパッタリングによって形成した。更に図28のように、従来例と同様に、第二の層間絶縁膜、第一のアルミ配線層、保護膜及び第二のアルミ配線層の形成と加工を順次行なった。

【0080】以上のような製造方法により、DRAMを作製することで、従来に比べてキャパシタンスを増加を図ることができた。そのキャパシタンスの変化量は、600℃から900℃の粗面化処理の熱処理温度の範囲で、温度につれて10%から30%に増加した。これは、下部電極の凹凸の熱処理温度による増加に対応する結果である。粗面化後の下部電極についてはオージェ電子分光による評価から白金とチタンがほぼ均一に混ざって一つの層となっていることがわかった。また、X線回折からチタンは酸化チタンの形で膜中に存在することがわかった。これらのことから、加熱処理に伴う凹凸の出現は、チタンと白金の相互拡散とチタンの酸化に由来するものであると考えられる。リーク電流等については、従来例との間で顕著な違いは認められなかった。

【0081】本実施の形態においては、このように下部電極を熱処理により粗面化するという簡単な工程の追加により、キャパシタの実効面積の増加を図ることができ、その結果、良好なキャパシタ特性を有する半導体装置を得ることができた。

【0082】実施の形態16。図29に本発明の第16

の実施の形態を、図29～図33に本発明にかかるDRAMの製造工程の部分断面図を示す。

【0083】本実施の形態では、キャパシタ下部電極として、表面が粗面化した多結晶シリコン、窒化チタン及び白金を順次形成したものをを用いた。キャパシタ誘電体としては、BaTiO<sub>3</sub>膜を反応性スパッタリング法により形成したものをを用いた。キャパシタ上部電極は、スパッタリングによって形成した白金膜である。以上のように、キャパシタを構成することで、従来例に比べてキャパシタの実効面積を増加することができ、キャパシタンスの増加を図ることができた。本実施の形態においては、下部電極を粗面化し、キャパシタの実効面積の増加を図ることにより、良好なキャパシタ特性を有する半導体装置を得ることができた。

【0084】本実施の形態の製造方法を図30～33によって説明する。図30のように、まず、膜厚100nmから300nmの燐ドーパ多結晶シリコン膜141をCVD法により形成した。このとき、燐ドーパ多結晶シリコン膜141を580℃程度の基板温度で形成することで、表面に30nm程度の凹凸を生じるようにした。次に多結晶シリコン膜141上に更に膜厚20nmから100nmの窒化チタン142と膜厚30nmから200nmの白金膜143をスパッタリング法によって順次形成し、表面を粗面化した下部電極1014とした。次に図31のように下部電極1014のパターニング後、図32に示すようにキャパシタ誘電体115としてBaTiO<sub>3</sub>膜を反応性スパッタリング法により形成した。更に、キャパシタ上部電極116として白金膜をスパッタリングによって形成した。次に図33のように、従来例と同様に、第二の層間絶縁膜、第一のアルミ配線層、保護膜及び第二のアルミ配線層の形成と加工を順次行なった。

【0085】以上のような製造方法でDRAMを作製することにより、従来例に比べてキャパシタンスを増加させることができた。そのキャパシタンスの変化量は、600℃から900℃の粗面化処理の熱処理温度の範囲で、温度につれて20%程度増加した。リーク電流等は、従来例との間で顕著な違いは認められなかった。

【0086】本実施の形態においては、下部電極を粗面化した多結晶シリコンを含む構造とすることにより、簡単な工程の追加によりキャパシタの実効面積の増加を図ることができ、その結果、良好なキャパシタ特性を有する半導体装置を得ることができた。

【0087】実施の形態17。図34に本発明の第17の実施の形態を、図35～図41に本発明にかかるDRAMの製造工程の部分断面図を示す。

【0088】図34中、半導体基板101、フィールド酸化膜102、トランスファーマゲート103a、103b、ソース/ドレイン領域106a、106c、チャネル領域106a、106b、ゲート絶縁膜105、ゲー

ト電極104b、104d、酸化膜107、埋め込みビット線108、絶縁膜109は従来例による構成と同じである。本DRAMでは、この酸化膜107、絶縁膜109の両方を覆うように、第一の層間絶縁膜110が形成されている。この層間絶縁膜110には不純物領域106b上に位置する部分にコンタクトホール110aが形成されている。コンタクトホール110aは半導体基板101と電氣的に接触する部分110aaとその上に構成されているより面積の広い部分110abからなる。コンタクトホール110aa内には多結晶シリコンからなるプラグ111が形成されている。コンタクトホール110ab上にはプラグ111からのシリコンの拡散を防ぐバリアメタル134とバリアメタル134内を覆うように形成されている白金135からキャパシタ下部電極114が形成されている。第1の層間絶縁膜110およびキャパシタ下部電極114を覆うようにキャパシタ誘電体膜115が形成されている。このキャパシタ誘電体膜115の材質としてはSrTiO<sub>3</sub>、BaTiO<sub>3</sub>などの高誘電率材料を挙げることができる。キャパシタ誘電体膜115を覆うようにキャパシタ上部電極116が形成されている。このキャパシタ上部電極116の材質としては白金などを挙げることができる。キャパシタ上部電極116を覆うように酸化膜などからなる第2の層間絶縁膜117が形成されている。この第2の層間絶縁膜117上には、所定の間隔をあけて第1のアルミニウム配線層118が形成されている。第1のアルミニウム配線層118を覆うように保護膜119が形成されている。この保護膜119の上に第2のアルミニウム配線層120が形成されている。

【0089】本実施の形態の製造方法を図35～図41に示す。図35中、P型半導体基板101、フィールド酸化膜102、トランスファーゲート103a、103b、ソース/ドレイン領域106a、106c、チャネル領域121、ゲート絶縁膜105、ゲート電極104b、104d、酸化膜107、埋め込みビット線108、絶縁膜109、第一の層間絶縁膜110、プラグ111は従来と同じ構成である。

【0090】次に図36のように、第一の層間絶縁膜110上に所定形状にパターンニングされたレジストパターン122を形成し、このレジストパターン122をマスクとして第一の層間絶縁膜110およびプラグ111をエッチングする。これにより、図37に示すようなキャパシタ下部電極埋め込み用溝110acが形成される。この開口部の深さはこの上部に形成されるキャパシタ下部電極の種類にもよるが、通常0.05～0.3μm程度である。

【0091】次に図38のように、スパッタ法などを用いて、このキャパシタ下部電極埋め込み用溝110ab内及び層間絶縁膜110上にチタン層134を形成する。このチタンの膜厚は好ましくは、約30～100nm

m程度である。さらにチタン層の上部にスパッタ法などを用いて、このチタン層を覆うように白金層135を形成する。この白金層の膜厚は好ましくは、約200～500nm程度である。

【0092】次に図39のように、RIE (Reactive Ion Etching) 法やCMP (Chemical Mechanical Polishing) 法を用いて、チタン層134と白金層135にエッチバック処理を施す。このとき、層間絶縁膜110にオーバーエッチ処理を施し、層間絶縁膜110表面にチタン層134の残渣が残らないようにする。

【0093】次に図40のように、第1の層間絶縁膜110およびチタン層134及び白金層135からなるキャパシタ下部電極114を覆うようにして、500℃～700℃の温度でスパッタ法などを用いてSrTiO<sub>3</sub>、BaTiO<sub>3</sub>などの高誘電率材料からなるキャパシタ誘電体膜115を形成する。このキャパシタ誘電体膜の膜厚は、好ましくは、50～200nmである。この場合、キャパシタ下部電極金属と第1の層間絶縁膜からなる下地表面の段差は小さいため、キャパシタ誘電体膜の成膜方法としては段差被覆性の低い成膜方法を用いることも可能であり、従来例と比較して段差被覆性そのものが向上することは言うまでもない。

【0094】次に図41のように、キャパシタ誘電体膜115を覆うようにキャパシタ上部電極116が形成する。このキャパシタ上部電極116の材質としては白金などを挙げることができる。形成方法はキャパシタ下部電極114の場合と同様である。キャパシタ上部電極116の形成後は、従来と同様の方法で第2の層間絶縁膜117、第1アルミニウム配線層118、保護膜119および第2のアルミニウム配線層120を形成する(図42)。これにより、図35に示す本実施の形態のDRAMを形成することができる。

【0095】実施の形態18. 図42に本発明の第18の実施の形態を、図43～図45に本発明にかかるDRAMの製造工程の部分断面図を示す。

【0096】図42中、半導体基板101、フィールド酸化膜102、トランスファーゲート103a、103b、ソース/ドレイン領域106a、106c、チャネル領域121、ゲート絶縁膜105、ゲート電極104b、104d、酸化膜107、埋め込みビット線108、絶縁膜109、プラグ111は従来例による構成と同じである。

【0097】図42において、本発明ではキャパシタ下部電極114の間を埋めるように、第一の層間絶縁膜110と同材質の層間絶縁膜110cが形成されている。さらに、上記の層間絶縁膜110cとキャパシタ下部電極114を覆うように、キャパシタ誘電体膜115が形成されている。キャパシタ誘電体膜115を覆うように、キャパシタ上部電極116が形成されている。このキャパシタ上部電極116の材質としては白金などを挙



げることができる。キャパシタ上部電極 116 を覆うように酸化膜などからなる第 2 の層間絶縁膜 117 が形成されている。この第 2 の層間絶縁膜 117 上には、所定の間隔をあけて第 1 のアルミニウム配線層 118 が形成されている。第 1 のアルミニウム配線層 118 を覆うように保護膜 119 が形成されている。この保護膜 119 の上に第 2 のアルミニウム配線層 120 が形成されている。

【0098】図 43～図 45 に上記実施の形態の DRAM の製造方法を示す。まず図 43 のように、従来例と同様の方法で、P 型半導体基板 101、フィールド酸化膜 102、トランスファーストゲート 103a、103b、ソース/ドレイン領域 106a、106c、チャネル領域 121、ゲート絶縁膜 105、ゲート電極 104a、104b、104d、酸化膜 107、埋め込みビット線 108、絶縁膜 109、第一の層間絶縁膜 110、プラグ 111、キャパシタ下部電極 114 をそれぞれ形成する。

【0099】次に図 44 のように、選択 CVD 法あるいはスピコート法などにより第一の層間絶縁膜 110 上の表面のみに絶縁膜 110c を形成する。この絶縁膜 110c の膜厚はキャパシタ下部電極層 114 の種類にもよるが、通常約 30nm～200nm 程度である。

【0100】次に、図 45 のように、絶縁膜 110c およびキャパシタ下部電極 114 を覆うようにして、500℃～700℃の温度でスパッタ法などを用いて SrTiO<sub>3</sub>、BaTiO<sub>3</sub> などの高誘電率材料からなるキャパシタ誘電体膜 115 を形成する。このキャパシタ誘電体膜の膜厚は、好ましくは、50～200nm である。この場合、キャパシタ下部電極金属 114 と絶縁膜 110c からなる下地表面の段差は小さいため、キャパシタ誘電体膜の成膜方法としては段差被覆性の低い成膜方法を用いることも可能であり、従来例と比較して段差被覆性そのものが向上することは言うまでもない。

【0101】キャパシタ誘電体膜 115 の形成後は、従来と同様の方法でキャパシタ上部電極 116、第 2 の層間絶縁膜 117、第 1 アルミニウム配線 118、保護膜 119 および第 2 のアルミニウム配線層 120 を形成する。それにより、図 42 に示される DRAM が形成されることになる。

【0102】実施の形態 19。図 46 は、本発明の第 19 の実施の形態にかかる DRAM の部分断面図である。図 46 中、P 型半導体基板 101、フィールド酸化膜 102、トランスファーストトランジスタ 103a、103b、N 型不純物領域 106c、106a、チャネル領域 121、ゲート絶縁膜 105、ゲート電極 104b、トランスファーストトランジスタ 103b、酸化膜 107、埋め込みビット線 108、絶縁層 109、第一の層間絶縁膜 110、コンタクトホール 110a、プラグ 111 等のキャパシタ下部の構造については従来と同様で

あり、またキャパシタ上部の第二の層間絶縁膜 117、第一のアルミ配線層 118、保護膜 119、アルミニウム配線層 120 等も従来と同様である。

【0103】本 DRAM においては、第一の層間絶縁膜 110 として SiO<sub>2</sub> を、キャパシタ下部電極 114 として白金を、またキャパシタ誘電体膜として、BaTiO<sub>3</sub> を用いた。BaTiO<sub>3</sub> の膜厚は、反応性スパッタリング法により 200nm 程度に形成した。キャパシタ誘電体膜の堆積においては、下地層が SiO<sub>2</sub> か白金かでその上に形成される誘電体膜の誘電率が大きく異なる堆積条件例えば基板温度 600℃で誘電体膜を形成した（図 47）。この結果、キャパシタ下部電極 114 上には結晶性の良好で誘電率の高いキャパシタ誘電体膜 148a が、層間絶縁膜 110 上には結晶性の乏しく誘電率の低いキャパシタ誘電体膜 148b が形成される。キャパシタ誘電体膜 148a、148b の上部には白金からなるキャパシタ上部電極 116 をスパッタ法により形成し、その後は従来例と同様に層間絶縁膜以降の工程を行った。

【0104】実施の形態 20。図 48 に本発明の第 20 の実施の形態を、図 49～図 52 に本発明にかかる DRAM の製造工程の部分断面図を示す。

【0105】図 48 は、本実施の形態にかかる DRAM の部分断面図である。第 48 図中、従来と同様に P 型半導体基板 101 の主表面における素子分離領域にはフィールド酸化膜 102 が、素子形成領域には、トランスファーストトランジスタ 103 が形成されている。トランスファーストトランジスタ 103 は、そのチャネル領域 121 上にゲート絶縁膜 105 を介して形成されたゲート電極 104 を有している。更に、ゲート電極 104b、104c、104d を覆う絶縁膜 207 として、通常用いられる酸化シリコン膜 107 に代えて SrTiO<sub>3</sub> 膜が堆積されている。これより上部の埋め込みビット線 108、絶縁層 109、第一の層間絶縁膜 110、コンタクトホール 110a、プラグ 111、キャパシタ下部電極 114、キャパシタ誘電体膜 115、キャパシタ上部電極 116、第二の層間絶縁膜 117、第一のアルミ配線層 118、保護膜 119、第二のアルミニウム配線層 120 等は従来と同様に構成されている。

【0106】図 49～図 52 に本実施の形態の製造方法を示す。まず図 49 のように、従来例と同様に、半導体基板 101 の主表面上の素子分離領域に、LOCOS 法を用いてフィールド酸化膜 102 を形成する。次に、熱酸化法などを用いて、ゲート絶縁膜 105 を形成する。このゲート絶縁膜 105 上およびフィールド酸化膜 102 上に、選択的にゲート電極（ワード線）104a、104b、104d を形成する。このゲート電極 104a、104b、104d をマスクとして用いて、半導体基板 101 の主表面に不純物を注入することによって、不純物領域 106c、106a、106b をそれぞれ形

成する。さらに、ゲート電極104a、104b、104dを覆うように、CVD等のカバレジに優れた方法でSrTiO<sub>3</sub>膜が絶縁膜207として堆積される。この絶縁膜207は、この工程ではパターンニングしないで、後のコンタクトホール開口時のエッチングストッパーとして用いる。

【0107】次に図50のように、多結晶シリコンを半導体基板101全面上に形成した後所定形状にパターンニングすることによって、不純物領域106aに電気的に接続される埋め込みビット線108を形成する。この埋め込みビット線108を覆うように絶縁層109を形成する。その後、CVD法等を用いて、第一の層間絶縁膜110を形成する。そして、この第一の層間絶縁膜110に平坦化处理を施し、第一の層間絶縁膜110の上面を平坦化する。

【0108】次に図51のように、第一の層間絶縁膜110上に形成したレジストパターンをマスクとして用いて、第一の層間絶縁膜110に異方性エッチング処理を施して、コンタクトホール110aを形成する。この時、SrTiO<sub>3</sub>からなる絶縁層207は、かかるシリコン酸化膜等のRIEに対しては選択性が高いため、殆どエッチングされず、コンタクトホール110aの底には絶縁層207が残余し、コンタクトホール形成時のエッチングダメージからコンタクト部底部の半導体表面を保護する役目をする。レジストパターンを除去した後、王水等によりコンタクト底部に残余するSrTiO<sub>3</sub>からなる絶縁層207を基板の不純物領域及びシリコン酸化膜からなる層間絶縁膜などに対して極めて高い選択比で除去する。このような工程により、コンタクトホール110aが形成される。

【0109】コンタクトホール110a形成後は、従来例と同様の工程でDRAMを作製する。即ち、図52のように、CVD法等を用いて、コンタクトホール110aを埋め込みかつ第一の層間絶縁膜110を覆うように、多結晶シリコン層を形成し、かかる多結晶シリコン層をエッチバックすることにより、コンタクトホール110a内にプラグ111を形成する。更に、スパッタリング法などを用いて、プラグ111および第一の層間絶縁膜110上に、白金層114を形成する。この白金層114を所定形状にエッチング加工を施しキャパシタ下部電極114とする。次にスパッタリング法やCVD法等を用いて、キャパシタ下部電極114を覆うように高誘電率材料からなるキャパシタ誘電体膜115を形成する。このキャパシタ誘電体膜115の材質としては、Pb(Zn, Ti)O<sub>3</sub>やSrTiO<sub>3</sub>等が用いられる。次にキャパシタ誘電体膜115を覆うようにして、白金層116を形成する。この白金層116を所定形状に加工することによって、キャパシタ上部電極116が形成される。CVD法等を用いて、キャパシタ上部電極116を覆うように第二の層間絶縁膜117を形成する。この

第二の層間絶縁膜117上に、所定間隔をあけて、第一のアルミ配線層118を形成する。そして、この第一のアルミ配線層118を覆うように、CVD法等を用いて、シリコン酸化膜等からなる保護膜119を形成する。この保護膜119上に、第二のアルミ配線層120を形成する。以上の工程を経て、図48に示した構造を有するDRAMが形成される。

【0110】実施の形態21. 図53に本発明の第21の実施の形態を、図54～図57に本発明にかかるDRAMの製造工程の部分断面図を示す。

【0111】図53は本実施の形態にかかるDRAMの断面図である。図53に示すように、従来例と同様に、P型半導体基板101の主表面における素子分離領域にはフィールド酸化膜102が、素子形成領域には、トランスファゲートトランジスタ103が形成されている。トランスファゲートトランジスタ103a、103bは、そのチャネル領域121上にゲート絶縁膜205を介して形成されたゲート電極104a、104bを有している。ゲート絶縁膜205として酸化シリコン膜とSrTiO<sub>3</sub>膜の積層構造が用いられている。ゲート電極104a、104bを覆うように酸化シリコン膜107が堆積されている。これより上部の埋め込みビット線108、絶縁層109、第一の層間絶縁膜110、コンタクトホール110a、プラグ111、キャパシタ下部電極114、キャパシタ誘電体膜115、キャパシタ上部電極116、第二の層間絶縁膜117、第一のアルミ配線層118、保護膜119、第二のアルミニウム配線層120等は従来と同様に構成されている。

【0112】本実施の形態の製造方法を図54～57に示す。図54のように、従来例と同様に、半導体基板101の主表面上の素子分離領域に、LOCOS法を用いてフィールド酸化膜102を形成する。次に、SrTiO<sub>3</sub>膜を100nm程度スパッタリング法などによって形成しゲート絶縁膜205とする。このゲート絶縁膜205は、この工程ではパターンニングしないで、実施の形態20同様、後のコンタクトホール開口時のエッチングストッパーとして用いる。このゲート絶縁膜205およびフィールド酸化膜102上に、選択的にゲート電極(ワード線)104a、104b、104dを形成する。このゲート電極104a、104b、104dをマスクとして用いて、半導体基板101の主表面に不純物を注入することによって、不純物領域106c、106a、106bをそれぞれ形成する。さらに、ゲート電極104b、104c、104dを覆うように、絶縁膜107が堆積される。

【0113】次に図55のように、多結晶シリコンを半導体基板101全面上に形成した後所定形状にパターンニングすることにより、不純物領域106aに電気的に接続される埋め込みビット線108を形成する。この埋め込みビット線108を覆うように絶縁層109を形成す

る。その後、CVD法等を用いて、第一の層間絶縁膜110を形成する。そして、この第一の層間絶縁膜110に平坦化処理を施すことによって、第一の層間絶縁膜110上面を平坦化する。

【0114】図56のように、第一の層間絶縁膜110上に形成したレジストマスクを用いて、第一の層間絶縁膜110に異方性エッチング処理を施す。この時、 $\text{SrTiO}_3$ からなる絶縁層205は、かかるシリコン酸化膜等のRIEに対しては選択性が高いため、殆どエッチングされず、コンタクトホール110aの底には絶縁層205が残余し、コンタクトホール形成時のエッチングダメージからコンタクト部底部の半導体表面を保護する役目をする。その後、王水等によりコンタクト底部の $\text{SrTiO}_3$ からなるゲート絶縁層205を基板の不純物領域及びシリコン酸化膜からなる層間絶縁膜などに対して極めて高い選択比で除去する。このような工程により、コンタクトホール110aが形成される。

【0115】コンタクトホール形成後は従来例と同様の工程でDRAMを作製する。即ち、図57のようにCVD法等を用いて、コンタクトホール110aを埋め込みかつ第一の層間絶縁膜110を覆うように、多結晶シリコン層を形成する。この多結晶シリコン層をエッチバックすることによって、コンタクトホール110a内にプラグ111を形成する。スパッタリング法などを用いて、プラグ111および第一の層間絶縁膜110上に、白金層114を形成する。この白金層114を所定形状にエッチング加工を施しキャパシタ下部電極114とする。スパッタリング法やCVD法等を用いて、キャパシタ下部電極114を覆うように高誘電率材料からなるキャパシタ誘電体膜115を形成する。このキャパシタ誘電体膜115の材質としては、 $\text{Pb}(\text{Zn}, \text{Ti})\text{O}_3$ や $\text{SrTiO}_3$ 等が用いられる。キャパシタ誘電体膜115を覆うようにして、白金層を形成し、この白金層を所定形状に加工することによって、キャパシタ上部電極116が形成される。さらにCVD法等を用いて、キャパシタ上部電極116を覆うように第二の層間絶縁膜117を形成する。この第二の層間絶縁膜117上に、所定間隔をあけて、第一のアルミ配線層118を形成する。そして、この第一のアルミ配線層118を覆うように、CVD法等を用いて、シリコン酸化膜等からなる保護膜119を形成する。この保護膜119上に、第二のアルミ配線層120を形成する。以上の工程を経て、図53に示した構造を有するDRAMが形成される。

【0116】実施の形態22. 本実施の形態の、下部電極、誘電体膜および上部電極からなる薄膜キャパシタを有する半導体装置の製造法を説明するが、以下では、本発明の特徴である薄膜キャパシタに関する部分だけ説明する。図58から図60は、本発明の第22の実施の形態の薄膜キャパシタの製造における工程を順次示す。半導体装置において、薄膜キャパシタは、下部電極200

2、高誘電率材料からなる誘電体膜2004、および、上部電極2005からなる。

【0117】半導体装置の製造における薄膜キャパシタの製造方法を説明すると、図58に示すように、まず、N型シリコン基板2001にホウ素を拡散して、P型領域2002を設け、次に、表面を絶縁膜2003で覆う。絶縁膜2003の厚さは、好ましくは50~500nmであり、本実施の形態では100nmである。次に、絶縁膜2003にキャパシタ用の開口部2007と電極用の開口部2008とを設ける。開口部2007の寸法は、好ましくは10~100 $\mu\text{m}$ 平方であり、本実施の形態では、10 $\mu\text{m}$ 平方である。次に、表面に誘電体膜2004を堆積する。図58は、この段階での断面を示す。誘電体膜2004の厚さは、好ましくは30~300nmであり、本実施の形態では100nmである。誘電体膜2004は誘電率の高い材料である $\text{BaTiO}_3$ 等からなる。

【0118】さらに、図59に示すように、誘電体膜2004に波長が0.3~1.5nmのX線を照射して、誘電体膜2004内に欠陥を生成させた。ここでは、電気特性に本実施の形態の処理が与える影響を知るために、X線照射量を0, 10, 100, 1000 $\text{mJ}/\text{cm}^2$ と変化させた。

【0119】次に、図60に示すように、誘電体膜2004と開口部2008の上にそれぞれPt電極2005、2006を設けた。電極2005、2006の厚さは、好ましくは50~500nmであり、本実施の形態では100nmである。Pt電極2005を上部電極とし、P型領域2002を下部電極とし、Pt電極2006を下部電極引き出し配線としている。これにより、下部電極2002、誘電体膜2004および上部電極2005からなる従来と同様の構造を有する薄膜キャパシタを形成した。Pt電極2005、2006を形成した後で、アニールを行った。アニール温度と雰囲気中の電気特性への影響を調べるために、アニール温度を200℃から700℃の範囲で変え、 $\text{O}_2$ 、 $\text{N}_2$ 、 $\text{H}_2$ 及びArのそれぞれの雰囲気下で30分のアニールを施した。このようにして作成した試料について、誘電率やリーク特性を調べた。

【0120】図61は、アニール前の薄膜キャパシタの誘電率のX線照射量依存性を示し、図62は、 $\text{O}_2$ 雰囲気下で400℃でアニールした後の薄膜キャパシタの誘電率のX線照射量依存性を示す。X線の照射量が増すにつれて薄膜キャパシタのアニール前の誘電率は、単調に減少する。しかし、アニール後は、逆に、X線の照射量が増すにつれて誘電率はわずかながら増加する傾向を示す。

【0121】図63は、アニール前の薄膜キャパシタのリーク特性のX線照射量依存性を示し、図64は、 $\text{O}_2$ 雰囲気下で400℃でアニールした後の薄膜キャパシタ

のリーク特性のX線照射量依存性を示す。X線の照射量は、0、10、100、1000 mJ/cm<sup>2</sup>と増加した。リーク電流密度は、電圧を増加するにつれ、始めに立ち上がったあとで飽和するが、さらに電圧を増加すると、急に立ち上がる。この立ち上がり電位に着目すると、X線照射量が増すにつれて、薄膜キャパシタのアニール前のリーク電流の立ち上がり電位は単調に低下する。これと対照的に、アニール後は、X線照射量が増すにつれて、リーク電流の立ち上がり電位は逆に増加する傾向を示す。いいかえれば、X線照射量が増すにつれ、リーク電流が減少する。これらの誘電率とリーク特性の変化は、膜中の欠陥の多寡を反映していると考えられる。以上のデータより、結果的に本来膜特性には影響を与えないような低温のアニールで特性改善を図れることがわかる。また、照射線量10 mJ/cm<sup>2</sup>未満では特性改善の効果が小さく、実際の効果を得るためには少なくとも10 mJ/cm<sup>2</sup>以上の照射量が必要である。

【0122】図65では、X線を100 mJ/cm<sup>2</sup>照射した薄膜キャパシタの異なる雰囲気(Ar、N<sub>2</sub>、H<sub>2</sub>、O<sub>2</sub>)下でのアニールによるリーク電流密度値(3 V印加時)の変化をアニール温度(200~700℃)をパラメータとして示した。O<sub>2</sub>とH<sub>2</sub>の雰囲気では、アニール温度300℃から700℃の範囲で、アニール温度の増加につれてリーク電流密度値の低減が認められる。一方、N<sub>2</sub>及びArの雰囲気では、アニール温度300℃から450℃の範囲で、アニール温度の増加につれてリーク電流値の低減が認められるものの、それ以上の温度では逆にリーク電流が増加する。これらのことから、X線照射後のアニールには、O<sub>2</sub>やH<sub>2</sub>を含む雰囲気下でのアニールが有効で、また、そのアニール温度は300℃以上であることが望ましいことがわかる。リーク特性がアニール雰囲気に影響されるのは、酸素や水素などの原子が誘電体膜中に拡散し、誘電体膜の欠陥を補償する働きのためであると考えられる。

【0123】以上に説明したように、X線照射とその後のアニールによりリーク電流が減少できた。この効果は、次のように考えられる。X線を照射することによってBaTiO<sub>3</sub>等から構成される高誘電率を有する誘電体膜2004に意図的に準安定な欠陥を導入し、その後の酸素雰囲気のアニールによって本来誘電体膜2004が有していた欠陥と準安定な欠陥を対で消滅させるようにしたので、従来の単純なアニールによる欠陥修復などに比べ効率的に膜中欠陥量を低減できるようになった。さらに説明すると、誘電体膜中の欠陥には、金属イオンと酸素イオンの対欠損であるショットキー欠陥、及び、格子位置でのイオン欠損と格子間位置の余分のイオンの存在からなるフレンケル欠陥等が知られている。適当なエネルギーをこれらの欠陥に与え欠陥を移動させることで、欠陥の対消滅が期待できる。しかし、欠陥の移動には大きな活性化エネルギーが必要であるため、通常はこの

処理には高温が必要とされる。本実施の形態では、X線照射により準安定な欠陥対を意図的に形成する。次に、比較的低温のアニールにより、これらの準安定な欠陥対を本来動きにくくそれ自体では消滅しない欠陥付近に導き対消滅によって除去を図ることができたものである。こうして、薄膜キャパシタの誘電体膜中のトラップ準位を比較的低温の処理温度で飛躍的に改善し、これによりリーク特性を改善する。

【0124】なお、本実施の形態では、波長が0.3~1.5 nm程度のX線を照射するが、前記の準安定な欠陥対の生成は、他の高エネルギー線、例えば他の波長のX線、或いは、γ線、紫外線、又は、陽電子線の照射を用いてもよい。また、本実施の形態では、Pt電極2007、2008の形成の前に、誘電体膜2004にX線を照射してアニールした。しかし、本発明の主旨は誘電体膜2004に高エネルギー線を照射して準安定な欠陥対を意図的に形成し、アニールによってそれらを本来膜中に存在した欠陥と共に対消滅させることにあるのであり、X線の照射やアニールを誘電体膜2004形成後の各工程のいずれの間に入れても構わない。さらに、誘電体膜2004やPt電極2005、2006等の加工のためのレジストパターン形成時の露光をX線を用いて行うことで、誘電体膜2004に対するX線の照射を兼ねてもよい。

【0125】本実施の形態では、誘電体膜としてBaTiO<sub>3</sub>、下部電極としてシリコン基板のP型領域、上部電極としてPt電極をそれぞれ用いたが、これらの各材料を他の材料に置き換えても、本発明の効果を得ることができる。たとえば、誘電体膜としてSrTiO<sub>3</sub>、PbTiO<sub>3</sub>またはそれらの固溶体を用いてもよい。また、下部電極や上部電極としてSi、Pt、TiN、IrO<sub>2</sub>またはRuO<sub>2</sub>等を用いてもよい。

【0126】本実施の形態においては、誘電体膜に高エネルギー線が照射され、高エネルギー線の照射後にアニールを施すようにしたので、半導体装置における薄膜キャパシタの特性を改善し安定化できるようになった。好ましくは、誘電体膜に照射する高エネルギー線を照射量10 mJ/cm<sup>2</sup>以上のX線とする、あるいは、アニールを酸素、水素のいずれか1種以上を主たる要素として含む雰囲気下で、300℃以上の温度で行うようにする。これにより、上述の効果をより高めることができた。

【0127】実施の形態23. 図66は、本発明の第23の実施の形態の薄膜キャパシタを有する半導体装置の構造を示す。N型シリコン基板2001にホウ素を拡散して、P型領域2002を設け、その表面を絶縁膜2003で覆う。さらに、絶縁膜2003に開口部2007、2008を設け、次に、開口部2008の上に誘電体膜2004を堆積する。さらに、誘電体膜2004と開口部2007の上にそれぞれPt電極2005、2006を設け、Pt電極2005を上部電極、P型領域2

002を下部電極とし、Pt電極2006を下部電極引き出し配線としている。ここまでは、第22の実施の形態における図60の薄膜キャパシタの構造とほぼ同様であり、下部電極2002、絶縁膜2003、誘電体膜2004、上部電極2005および開口部2008の寸法は、第22の実施の形態と同じである。次に、Pt電極2005、2006の上部には、第1の層間膜2009、X線吸収体薄膜2010及び第2の層間膜2011を順次形成する。第1層間膜2009の膜厚は、好ましくは200~500nmであり、本実施の形態では300nmである。X線吸収体薄膜2010の膜厚は、後で説明する。また、X線吸収体薄膜2010は、X線を吸収して誘電体膜2004を保護するため、誘電体膜2004の上方に、誘電体膜2004の全体を覆うように設けられる。第2層間膜2011の膜厚は、好ましくは200~500nmであり、本実施の形態では300nmである。さらに、電極配線のために第1層間膜2009、第2層間膜2011を貫通するホール2012が加工形成され、第2の層間膜2011の上部に形成された2つのAl配線2013が、それぞれ上部電極2005及び下部電極引き出し配線2006とホール2012を介して電氣的に接続される。Al配線2013の膜厚は、好ましくは300nm~1μmであり、本実施の形態では500nmである。Al配線2013は、他の薄膜キャパシタや同一基板上に形成されるトランジスタなどと接続することで、薄膜キャパシタを半導体素子中の1素子として機能させるようになっている。

【0128】本薄膜キャパシタ構造を形成するための各薄膜の加工は、X線露光によるレジストパターンを用いて行った。露光に用いたX線は0.5nmを中心波長とするシンクロトロン放射光であり、少なくとも30mJ/cm<sup>2</sup>程度以上の照射量が1回当たりの露光に必要であった。X線吸収体薄膜2010の形成の前に、X線露光後に誘電体膜2004中に生じた欠陥を修復するために400℃のアニールを施している。

【0129】X線吸収体薄膜2010としては、タンタル、オスミウム、イリジウム、白金、タングステン、ニッケル、銅、モリブデンまたは銀のいずれかをスパッタ法によって形成したものを用いた。X線吸収体薄膜2010の膜厚は、薄膜を通るX線の減衰のため、X線吸収体薄膜2010を構成する物質の吸収係数と膜厚との積が1以上であるようにする。さらに具体的に説明すると、タンタル、オスミウム、イリジウムまたは白金の照射に用いたX線の波長に対する吸収係数は4~5×10<sup>-3</sup>nm<sup>-1</sup>であり、これらの膜がX線吸収体として機能するためには膜厚が200nm以上であることが望ましく、一方、加工上の困難を避けるために600nm以下であることが望ましい。本実施の形態では250nmとした。タングステン、ニッケル及び銅については、吸収係数は2~3×10<sup>-3</sup>nm<sup>-1</sup>であり、同様の理由で25

0nm以上、600nm以下の膜厚が望ましく、本実施の形態では300nmとした。モリブデン及び銀については、吸収係数は1~2×10<sup>-3</sup>nm<sup>-1</sup>であり、同様の理由で500nm以上、600nm以下の膜厚が望ましく、本実施の形態では500nmとした。このように、薄膜キャパシタを形成した結果、Al配線2013の露光後を含めX線吸収体薄膜の形成以降についてはアニールを施していないが、X線露光に起因するリーク特性の劣化は認められなかった。

【0130】実施の形態24. 図67は、本発明の第24の実施の形態の薄膜キャパシタの構造を示す。N型シリコン基板2001にホウ素を拡散して、P型領域2002を設け、次に、その表面を絶縁膜2003で覆う。さらに、絶縁膜2003に開口部2007、2008を設け、開口部2008に誘電体膜2004を堆積する。次に、誘電体膜2004と開口部2007の上にそれぞれPt電極2005、2006を設け、Pt電極2005を上部電極とし、P型領域2002を下部電極とし、Pt電極2006を下部電極引き出し配線とする。ここまでは、第22の実施の形態における図60の薄膜キャパシタの構造とほぼ同様である。Pt電極2005、2006の上部には、第1の層間膜2009とX線吸収体酸化物薄膜2014及び第2の層間膜2011が順次形成される。X線吸収体酸化物薄膜2014は、タンタル、オスミウム、イリジウム、タングステン、ニッケル、銅またはモリブデンのいずれかをスパッタ法によって形成したものを酸素雰囲気中で高温で酸化することで形成した。さらに、第1の層間膜2009、X線吸収体酸化物薄膜2014及び第2の層間膜2011が設けられる。ここで、X線吸収体酸化物薄膜2014は、X線を吸収して誘電体膜2004を保護するため、誘電体膜2004の上方に、誘電体膜2004の全体を覆うように設けられる。次に、第1の層間膜2009及び第2の層間膜2011を貫通する2つのホール2012が加工形成され、2つのAl配線が、第2の層間膜2011の上部に形成される。2つのAl配線2013は、それぞれ、上部電極2005及び下部電極引き出し配線2006とホール2012を介して電氣的に接続されている。Al配線2013は他の薄膜キャパシタや同一基板上に形成されるトランジスタなどと接続することで薄膜キャパシタを半導体素子中の1素子として機能するようになっている。下部電極2002、絶縁膜2003、誘電体膜2004、上部電極2005、開口部2008、第1層間膜2009、第2層間膜2011およびAl配線2013の寸法は、第22の実施の形態および第23の実施の形態と同じである。また、X線吸収体酸化物薄膜2014の膜厚は、後で説明する。

【0131】本薄膜キャパシタ構造を形成するための各薄膜の加工は、X線露光によるレジストパターンを用いて行った。露光に用いたX線は0.5nmを中心波長と



するシンクロトロン放射光であり、少なくとも  $30 \text{ mJ} / \text{cm}^2$  程度以上の照射量が 1 回当たりの露光に必要であった。X線吸収体酸化物薄膜 2014 の形成の以前については、X線露光後に誘電体膜 2004 中に生じた欠陥を修復するために  $400^\circ\text{C}$  のアニールを施している。

【0132】X線吸収体酸化物薄膜 2014 の膜厚は、薄膜を通るX線を減衰するため、X線吸収体酸化物薄膜 2014 を構成する物質の吸収係数と膜厚との積が 1 以上であるようにする。X線吸収体酸化物薄膜 2014 にタンタル、オスmium及びイリジウムの酸化物を用いた場合は、酸化処理前の金属薄膜の膜厚が  $200 \text{ nm}$  以上、 $600 \text{ nm}$  以下であることが望ましく、本実施の形態では  $250 \text{ nm}$  とした。タングステン、ニッケル及び銅の酸化物を用いた場合は、酸化処理前の金属薄膜の膜厚が  $250 \text{ nm}$  以上、 $600 \text{ nm}$  以下であることが望ましく、本実施の形態では  $300 \text{ nm}$  とした。モリブデンの酸化物を用いた場合は、酸化処理前の金属薄膜の膜厚が  $500 \text{ nm}$  以上、 $600 \text{ nm}$  以下の膜厚が望ましく、本実施の形態では  $500 \text{ nm}$  とした。このように、薄膜キャパシタを形成した結果、A1 配線 2013 の露光後を含めX線吸収体酸化物薄膜 2014 の形成以降についてはアニールを施していないが、X線露光に起因するリーク特性の劣化は認められなかった。

【0133】実施の形態 23 及び実施の形態 24 の効果は次のとおりである。誘電体膜 2004 中の欠陥生成、特に A1 配線 2013 の露光時等に発生する、高温アニールによって低減を図ることが出来ない欠陥の生成を抑制するために、誘電体膜 2004 の上方にX線吸収体薄膜 2010 やX線吸収体酸化物薄膜 2014 を設け、誘電体膜 2004 中に入射するX線量を低減させるようにしたので、X線露光による誘電体膜 2004 中の欠陥生成を抑制でき、安定な特性を有する薄膜キャパシタを形成できた。本実施の形態では、誘電体膜として  $\text{BaTiO}_3$ 、下部電極としてシリコン基板の P 型領域、上部電極として Pt 電極をそれぞれ用いたが、これらの各材料を他の材料に置き換えても、本発明の効果を得ることができる。たとえば、誘電体膜として  $\text{SrTiO}_3$ 、 $\text{PbTiO}_3$  またはそれらの固溶体を用いてもよく、下部電極や上部電極として Si、Pt、TiN、 $\text{IrO}_2$  または  $\text{RuO}_2$  等を用いてもよい。

【0134】実施の形態 25、図 68 は、本発明の第 25 の実施の形態の薄膜キャパシタの構造を示す。図 68 を参照して、N 型シリコン基板 2001 にホウ素を拡散して、P 型領域 2002 を設け、表面を絶縁膜 2003 で覆う。さらに、絶縁膜 2003 に開口部 2008 を設け、誘電体膜 2004 を堆積し、電極 2005'、2006' を設け、電極 2005' を上部電極、P 型領域 2002 を下部電極とし、電極 2006' を下部電極引き出し配線としている。なお、図示しないが、さらに、図 66 に示す薄膜キャパシタと同様に、さらに、層間膜 2

009 および 2 つの A1 配線 2013 が設けられるが、説明を省略する。また、下部電極 2002、絶縁膜 2003、誘電体膜 2004、上部電極 2005'、開口部 2008、層間膜 2009 および A1 配線 2013 の寸法は、第 22 の実施の形態および第 23 の実施の形態と同様である。

【0135】本薄膜キャパシタ構造を形成するための各薄膜の加工は、X線露光によるレジストパターンを用いて行った。露光に用いたX線は  $0.5 \text{ nm}$  を中心波長とするシンクロトロン放射光であり、少なくとも  $30 \text{ mJ} / \text{cm}^2$  程度以上の照射量が 1 回当たりの露光に必要であった。電極 2005'、2006' としては、露光に用いたX線の波長に対する吸光係数の大きいイリジウム、タンタル及び白金を用いた。電極 2005'、2006' の膜厚は、X線を効率的に吸収しかつ加工上の障害とならないように設定する必要がある。望ましい膜厚は、 $200 \text{ nm}$  以上、 $600 \text{ nm}$  以下であり、本実施の形態では  $250 \text{ nm}$  とした。このように、薄膜キャパシタを形成した結果、X線露光に起因する特性の劣化は認められなかった。

【0136】実施の形態 25 の効果は次の通りである。X線露光による誘電体膜 2004 中の欠陥生成を抑制するために、電極 2005'、2006' としてX線の波長に対する吸光係数の大きいイリジウム、タンタルまたは白金を用い、その膜厚を  $200 \text{ nm}$  以上、 $600 \text{ nm}$  以下とし、誘電体膜 2004 中に入射するX線量を低減させるようにしたので、X線露光による誘電体膜 2004 中の欠陥生成を抑制でき、安定な特性を有する薄膜キャパシタを形成できた。

【0137】本実施の形態では、誘電体膜として  $\text{BaTiO}_3$ 、下部電極としてシリコン基板の P 型領域、上部電極として Pt 電極をそれぞれ用いたが、これらの各材料を他の材料に置き換えても、本発明の効果を得ることができる。たとえば、誘電体膜として  $\text{SrTiO}_3$ 、 $\text{PbTiO}_3$  またはそれらの固溶体を用いてもよく、下部電極や上部電極として Si、Pt、TiN、 $\text{IrO}_2$  または  $\text{RuO}_2$  等を用いてもよい。

【0138】

【発明の効果】以上の説明で明らかなように、本発明の半導体装置の製造法によれば、誘電体膜に高エネルギー線を照射し、高エネルギー線の照射後に比較的低温 ( $> 300^\circ\text{C}$ ) でアニールを施すようにしたので、電極材料の誘電体膜中への拡散を防止しながら薄膜キャパシタの容量を増加できるとともに、X線露光による誘電体膜中の欠陥生成を抑制でき、半導体装置における薄膜キャパシタのリーク特性を改善し安定化できるようになった。したがって、X線露光による微細なパターン形成によっても特性の劣化しない薄膜キャパシタを含む集積回路及びその製造方法を提供できる。好ましくは、誘電体膜に照射する高エネルギー線を照射量  $10 \text{ mJ} / \text{cm}^2$  以上のX線



とすること、あるいは、アニールを酸素、水素のいずれか1種以上を主たる要素として含む雰囲気下で、300℃以上の温度で行うようにすることにより、上述の効果をより高めることができる。

【0139】また、X線吸収体薄膜を薄膜キャパシタの上方に設けるので、誘電体膜中に入射するX線量を低減できる。これにより、X線露光による誘電体膜中の欠陥生成を抑制でき、安定な特性を有する薄膜キャパシタを形成できる。好ましくは、X線吸収体薄膜を構成する物質の吸光係数とX線吸収体薄膜の膜厚との積が1以上であるので、X線吸収体薄膜を透過するX線を減衰し、誘電体膜へのX線量を低減できる。

【0140】また、キャパシタの上部電極を、X線を吸収する材料（たとえばX線の波長に対する吸光係数の大きいイリジウム、タンタルまたは白金を用い、その膜厚を200nm以上、600nm以下とする）から構成したので、誘電体膜中に入射するX線量を低減でき、X線露光による誘電体膜中の欠陥生成を抑制でき、安定な特性を有する薄膜キャパシタを有する半導体装置を形成することができる。

【0141】また本発明では、一般に電極材料として用いられる白金電極に代えてキャパシタ下部電極または上部電極の少なくとも一方を、その酸化物あるいは窒化物が20以上の比誘電率を有する絶縁物である金属元素を一種以上主たる構成元素として含む金属電極、またはその酸化物あるいは窒化物が電気伝導性である金属元素を一種以上主たる構成元素として含む金属電極により形成することにより、電極の加工性を向上できるとともに、電極を通過した誘電体膜中へのシリコン等の拡散が防止でき、またたとえ電極が誘電体層との界面において酸化等された場合においても、該酸化膜が誘電体または導電体であるため、酸化膜形成によるキャパシタ誘電率の低下を防止することできる。

【0142】また、本発明によれば、半導体装置において、キャパシタ下部電極または上部電極の少なくとも一方が面心立方構造を有する金属または金属化合物を含み、該金属または金属化合物の格子定数と該キャパシタ電極に接置されたキャパシタ誘電体膜の格子定数のずれを2%以内にすることにより、かかる格子不整合に起因して界面に形成されていた低誘電体膜の形成を避けることができ、キャパシタの低誘電率化を防止できる。

【0143】また本発明では、キャパシタ下部電極または上部電極の少なくとも一方を、白金を主成分とし、パラジウム、ルテニウム及びレニウムの中の少なくとも一種以上の元素を微量添加して構成することにより、特にキャパシタがシリコン酸化膜と直接接する電極構造において、キャパシタ電極とシリコン酸化膜との密着性を向上させ、電極膜の剥離を防止し、信頼性の向上を図ることができる。

【0144】またキャパシタ下部電極または上部電極の

少なくとも一方の誘電体膜と接する面と反対側の面に、金属の酸化物あるいは窒化物からなる保護膜を形成することにより、水分のキャパシタ誘電体膜への拡散を抑制することができ、良好なキャパシタ特性を有する半導体装置を得ることができる。

【0145】またキャパシタ下部電極または上部電極の少なくとも一方と誘電体膜との間に、金属酸化物あるいは金属窒化物からなる拡散防止膜を形成することにより、誘電体中への金属材料の拡散を防止でき、良好なキャパシタ特性を得ることができる。特に拡散防止膜は、膜厚が20nm以下であること、20以上の比誘電率を有する絶縁物であることが好ましい。

【0146】またキャパシタ下部電極をその主表面方向に沿った該多結晶の結晶粒径の平均値が10nmから100nmである白金、パラジウム等の貴金属を主成分とする多結晶膜から構成することにより、リーク電流を防止し、キャパシタ特性の向上を図ることができる。

【0147】さらにキャパシタ誘電体膜を厚さ方向に積み重なる少なくとも2つの層から構成し、これらの層の間であって下部電極角部或は側面部の近傍に酸化シリコン、窒化シリコン等の絶縁膜が挟持されていることによっても、リーク電流の防止によるキャパシタ特性の向上を図ることができる。

【0148】また本発明によれば、キャパシタ下部電極または上部電極の少なくとも一方が白金電極である半導体装置において、キャパシタ誘電体膜をペロブスカイト構造を有する2以上の金属酸化物の固溶体で構成することにより、電極を2以上の金属元素の合金で構成することにより、またキャパシタ下部電極上に形成されたキャパシタ誘電体膜が、第一及び第二のキャパシタ誘電体膜からなり該第一のキャパシタ誘電体膜の格子定数がキャパシタ下部電極と第二のキャパシタ誘電体膜の中間の格子定数を有するようにすることにより、電極と誘電体膜間の格子不整合を防止し、低誘電率膜の形成によるキャパシタ特性の劣化を防止できるとともに、半導体装置のソフトエラー率の低減が可能となる。

【0149】更に本発明によれば、キャパシタ下部電極の表面を粗面化することにより、キャパシタの実効面積を増加させ、キャパシタ特性の向上を図ることができる。

【0150】かかるキャパシタ下部電極表面の粗面化には、該キャパシタ下部電極表面をエッチングすることにより粗面化する方法、加熱処理することにより粗面化する方法、またはキャパシタ下部電極を表面を粗面化した多結晶シリコン膜上に形成して粗面化する方法が有効である。

【0151】更に、本発明によれば上記のように、従来層間絶縁膜の上部表面に形成されていたセルキャパシタの下部電極を層間絶縁膜の中に埋め込むことにより、セルキャパシタを低誘電率の層間絶縁膜で分離し、セル間

の寄生容量を低減し、安定した読み出し動作を有する半導体装置を作製できる。

【0152】上記キャパシタ構造は、層間絶縁膜の表面に設けた下部電極埋め込み用溝内にキャパシタ下部電極材料を設け、該キャパシタ下部電極材料を表面部分から厚みを減じる処置を施し上記溝内だけにキャパシタ電極材料を残余させキャパシタ下部電極を形成し、更にその上にキャパシタ誘電体膜及びキャパシタ上部電極を順次形成する方法により提供することができる。

【0153】また層間絶縁膜上に設けられた複数のキャパシタ下部電極の電極側面間に絶縁膜を形成し、セルキャパシタ間を分離することにより、セル間の寄生容量を低減でき、安定した読み出し動作を有する半導体装置を得ることができる。

【0154】かかるキャパシタ構造は、キャパシタ下部電極を覆うように絶縁膜を形成した後に該絶縁膜の厚みを減じる処置を施すことによりキャパシタ下部電極の上部表面を露出させ、その上にキャパシタ誘電体膜及びキャパシタ上部電極を順次形成する方法により提供することができる。

【0155】上記絶縁膜の厚みを減じる処置においては、下部電極上に保護膜を形成した後、該保護膜によりキャパシタ下部電極表面を保護しながら絶縁膜の厚みを減じる処置を施すことにより、電極表面のエッチングダメージにより発生する寄生容量の低減を図ることができる。

【0156】また上記キャパシタ構造は、キャパシタ下部電極以外の箇所に選択的に絶縁膜を形成する方法によっても提供することができる。

【0157】またキャパシタ下部電極およびキャパシタ下部電極の電極側面間に位置する絶縁膜の上部にキャパシタ誘電体膜を形成した構造において絶縁膜上とキャパシタ下部電極上とで誘電率が異なる条件で該誘電体膜を形成することにより、キャパシタを低誘電率の層間絶縁膜で分離し、セル間の寄生容量を低減し、安定した読み出し動作を有する半導体装置を作製することができる。

【0158】また本発明によれば、半導体基板上に形成され、該半導体基板の主表面に達する開口部を有する層間絶縁膜と、該開口部を介して半導体基板の主表面と電気的に接続されたキャパシタ下部電極と、該キャパシタ下部電極上に形成されたキャパシタ誘電体膜と、該キャパシタ誘電体膜上に形成された上部電極を備えた半導体装置において、上記層間絶縁膜の間に、該基板上に形成されたトランジスタのゲート電極の上層又は下層に位置するチタン酸金属塩、酸化タンタル及び酸化チタンのいずれかからなる絶縁膜を形成し、該絶縁膜を半導体基板表面のエッチング保護膜として用いながら該絶縁膜上に設けられた層間絶縁膜に上記開口部を形成することにより、開口部エッチング時の半導体表面のエッチングダメージを無くし、寄生容量の発生を防止し、安定した読み

出し動作を有する半導体装置を作製することができる。

【図面の簡単な説明】

【図1】 本発明に基づく第1の実施の形態によるDRAMの部分断面図である。

【図2】 本発明に基づく第2の実施の形態によるDRAMの部分断面図である。

【図3】 本発明に基づく第3の実施の形態によるDRAMの部分断面図である。

【図4】 本発明に基づく第4の実施の形態によるDRAMの部分断面図である。

【図5】 本発明に基づく第5の実施の形態によるDRAMの部分断面図である。

【図6】 本発明に基づく第6の実施の形態によるDRAMの部分断面図である。

【図7】 本発明に基づく第7の実施の形態によるDRAMの部分断面図である。

【図8】 本発明に基づく第8の実施の形態によるDRAMの部分断面図である。

【図9】 本発明に基づく第9の実施の形態によるDRAMの部分断面図である。

【図10】 本発明に基づく第9の実施の形態における誘電体のグレインの大きさとリーク電流の大きさの相関を示す図である。

【図11】 本発明に基づく第10の実施の形態によるDRAMの部分断面図である。

【図12】 本発明に基づく第11の実施の形態によるDRAMの部分断面図である。

【図13】 本発明に基づく第11の実施の形態における固溶体  $(\text{BaTiO}_3)_x(\text{SrTiO}_3)_{1-x}$  のモル比Xに対する格子定数の変化を示す図である。

【図14】 本発明に基づく第11の実施の形態における固溶体  $(\text{BaTiO}_3)_x(\text{SrTiO}_3)_{1-x}$  のモル比Xに対する誘電率の変化を示す図である。

【図15】 本発明に基づく第12の実施の形態によるDRAMの部分断面図である。

【図16】 本発明に基づく第12の実施の形態におけるRe添加によるPtの格子定数の変化を示す図である。

【図17】 本発明に基づく第12の実施の形態におけるPt-Re電極上のSrTiO<sub>3</sub>膜の誘電率に対するRe添加の影響を示す図である。

【図18】 本発明に基づく第13の実施の形態によるDRAMの部分断面図である。

【図19】 本発明に基づく第14の実施の形態によるDRAMの部分断面図である。

【図20】 本発明に基づく第14の実施の形態によるDRAMの製造工程の第1工程の部分断面図である。

【図21】 本発明に基づく第14の実施の形態によるDRAMの製造工程の第2工程の部分断面図である。

【図22】 本発明に基づく第14の実施の形態による

DRAMの製造工程の第3工程の部分断面図である。

【図23】 本発明に基づく第14の実施の形態によるDRAMの製造工程の第4工程の部分断面図である。

【図24】 本発明に基づく第15の実施の形態によるDRAMの部分断面図である。

【図25】 本発明に基づく第15の実施の形態によるDRAMの製造工程の第1工程の部分断面図である。

【図26】 本発明に基づく第15の実施の形態によるDRAMの製造工程の第2工程の部分断面図である。

【図27】 本発明に基づく第15の実施の形態によるDRAMの製造工程の第3工程の部分断面図である。 10

【図28】 本発明に基づく第15の実施の形態によるDRAMの製造工程の第4工程の部分断面図である。

【図29】 本発明に基づく第16の実施の形態によるDRAMの部分断面図である。

【図30】 本発明に基づく第16の実施の形態によるDRAMの製造工程の第1工程の部分断面図である。

【図31】 本発明に基づく第16の実施の形態によるDRAMの製造工程の第2工程の部分断面図である。

【図32】 本発明に基づく第16の実施の形態によるDRAMの製造工程の第3工程の部分断面図である。 20

【図33】 本発明に基づく第16の実施の形態によるDRAMの製造工程の第4工程の部分断面図である。

【図34】 本発明に基づく第17の実施の形態によるDRAMの部分断面図である。

【図35】 本発明に基づく第17の実施の形態によるDRAMの製造工程の第1工程の部分断面図である。

【図36】 本発明に基づく第17の実施の形態によるDRAMの製造工程の第2工程の部分断面図である。

【図37】 本発明に基づく第17の実施の形態によるDRAMの製造工程の第3工程の部分断面図である。 30

【図38】 本発明に基づく第17の実施の形態によるDRAMの製造工程の第4工程の部分断面図である。

【図39】 本発明に基づく第17の実施の形態によるDRAMの製造工程の第5工程の部分断面図である。

【図40】 本発明に基づく第17の実施の形態によるDRAMの製造工程の第6工程の部分断面図である。

【図41】 本発明に基づく第17の実施の形態によるDRAMの製造工程の第7工程の部分断面図である。この発明に基づく第17の実施の形態におけるDRAMを 40  
示す部分断面図である。

【図42】 本発明に基づく第18の実施の形態によるDRAMの部分断面図である。

【図43】 本発明に基づく第18の実施の形態によるDRAMの製造工程の第1工程の部分断面図である。

【図44】 本発明に基づく第18の実施の形態によるDRAMの製造工程の第2工程の部分断面図である。

【図45】 本発明に基づく第18の実施の形態によるDRAMの製造工程の第3工程の部分断面図である。

【図46】 本発明に基づく第19の実施の形態に 50

によるDRAMの部分断面図である。

【図47】 本発明に基づく第19の実施の形態におけるBaTiO<sub>3</sub>の誘電率の下地層と基板温度に対する依存性を示す図である。

【図48】 本発明に基づく第20の実施の形態によるDRAMの部分断面図である。

【図49】 本発明に基づく第20の実施の形態によるDRAMの製造工程の第1工程の部分断面図である。

【図50】 本発明に基づく第20の実施の形態によるDRAMの製造工程の第2工程の部分断面図である。

【図51】 本発明に基づく第20の実施の形態によるDRAMの製造工程の第3工程の部分断面図である。

【図52】 本発明に基づく第20の実施の形態によるDRAMの製造工程の第4工程の部分断面図である。

【図53】 本発明に基づく第21の実施の形態によるDRAMの部分断面図である。

【図54】 本発明に基づく第21の実施の形態によるDRAMの製造工程の第1工程の部分断面図である。

【図55】 本発明に基づく第21の実施の形態によるDRAMの製造工程の第2工程の部分断面図である。

【図56】 本発明に基づく第21の実施の形態によるDRAMの製造工程の第3工程の部分断面図である。

【図57】 本発明に基づく第21の実施の形態によるDRAMの製造工程の第4工程の部分断面図である。

【図58】 本発明に基づく第22の実施の形態による薄膜キャパシタの製造方法の第1工程を示す部分断面図である。

【図59】 本発明に基づく第22の実施の形態による薄膜キャパシタの製造方法の第2工程を示す部分断面図である。

【図60】 本発明の第22の実施の形態による薄膜キャパシタの製造方法の第3工程を示す部分断面図である。

【図61】 本発明の第22の実施の形態による薄膜キャパシタのアニール前の誘電率のX線照射量依存性を示すグラフである。

【図62】 本発明の第22の実施の形態による薄膜キャパシタのO<sub>2</sub>雰囲気下で400℃でアニールした後の誘電率のX線照射量依存性を示すグラフである。

【図63】 本発明の第22の実施の形態による薄膜キャパシタのアニール前のリーク特性のX線照射量依存性を示すグラフである。

【図64】 本発明の第22の実施の形態による薄膜キャパシタのO<sub>2</sub>雰囲気下で400℃でアニールした後のリーク特性のX線照射量依存性を示すグラフである。

【図65】 本発明の第22の実施の形態による薄膜キャパシタの種々の雰囲気下でのアニール後のリーク電流値のアニール温度を示すグラフである。

【図66】 本発明の第23の実施の形態による薄膜キャパシタの部分断面図である。

43

【図 67】 本発明の第 24 の実施の形態による薄膜キャパシタの部分断面図である。

【図 68】 本発明の第 25 の実施の形態による薄膜キャパシタの部分断面図である。

【図 69】 従来の DRAM 構造の部分断面図である。

【図 70】 従来のキャパシタ電極の下部のプラグ上にシリコンバリア層を有する DRAM の部分断面図である。

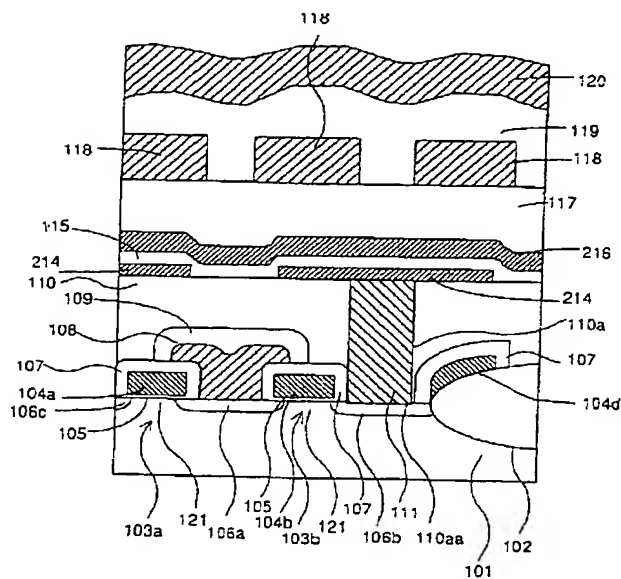
【符号の説明】

101 半導体基板、102 フィールド酸化膜、103a、103b

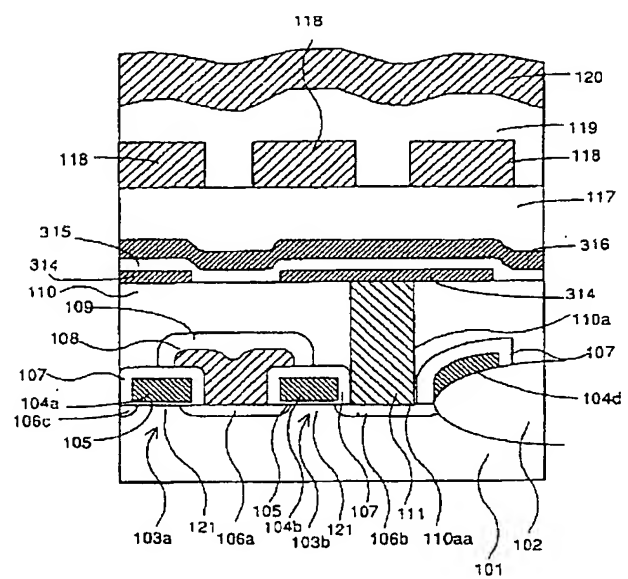
44

トランスファークゲートトランジスタ、104a、104b ゲート電極、105 ゲート絶縁膜、106b、106c 不純物領域、107 酸化膜、108 埋め込みビット線、109 絶縁層、110 第一の層間絶縁膜、110a コンタクトホール、111 プラグ、117 第二の層間絶縁膜、118 第一のアルミ配線層、119 保護膜、120 アルミニウム配線層、121 チャンネル領域、214 ハフニウムとタンタルを含むキャパシタ下部電極、216 ハフニウムとタンタルを含むキャパシタ上部電極。

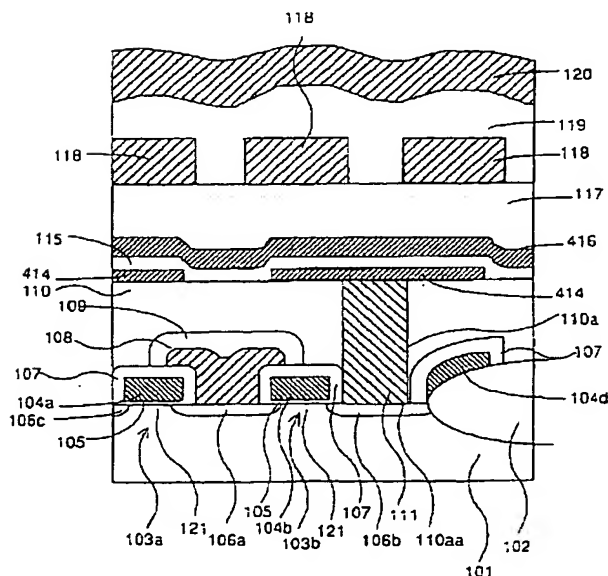
【図 1】



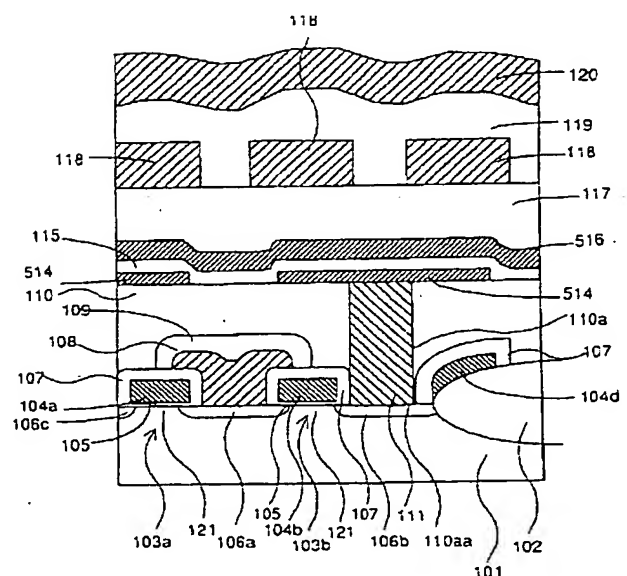
【図 2】



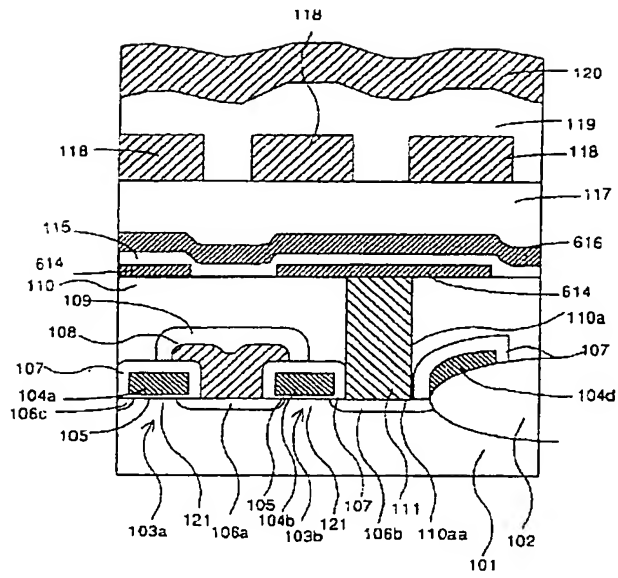
【図 3】



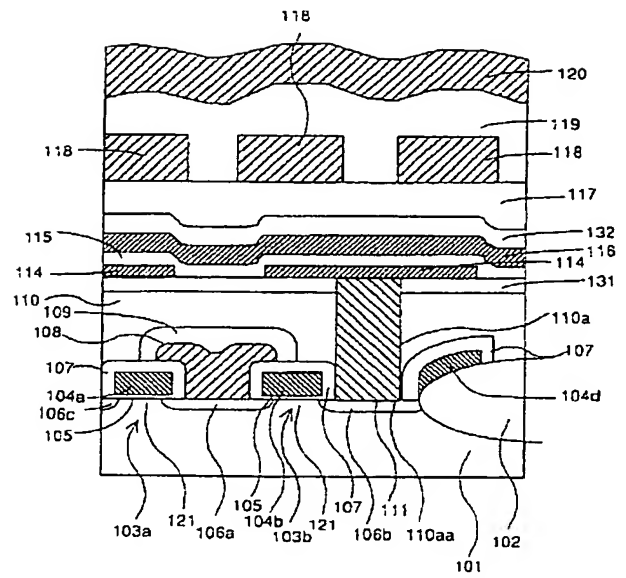
【図 4】



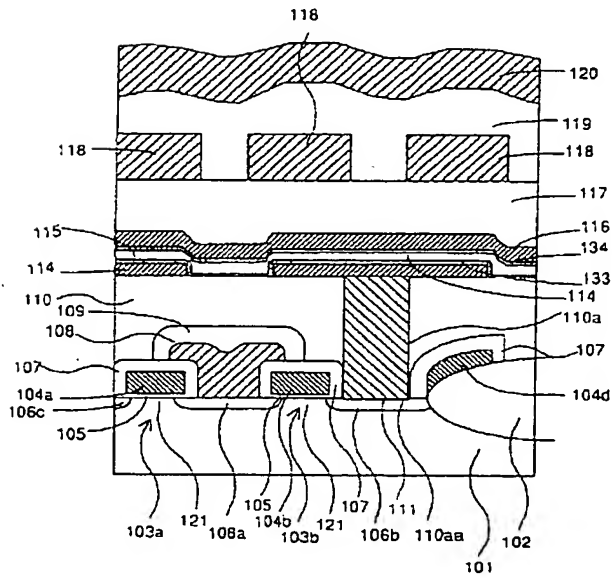
【図 5】



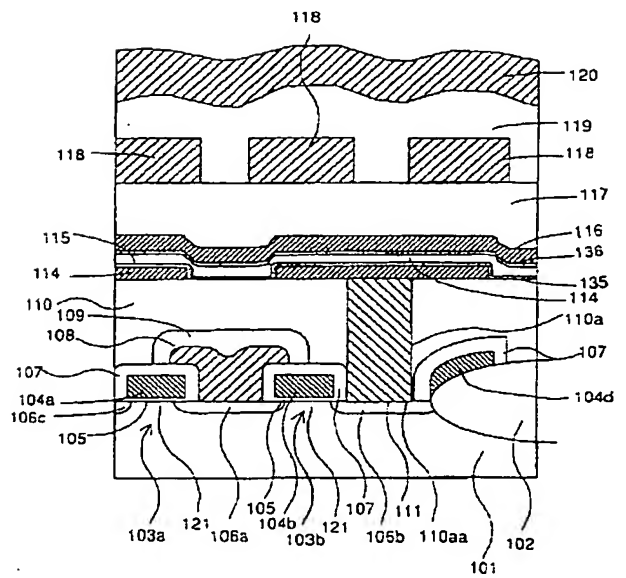
【図 6】



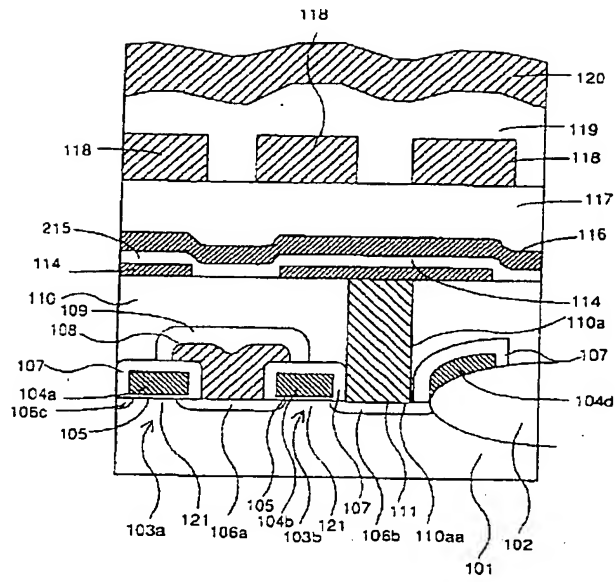
【図 7】



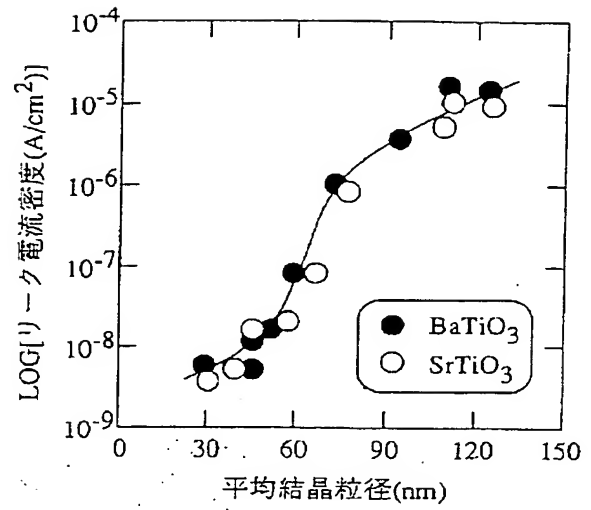
【図 8】



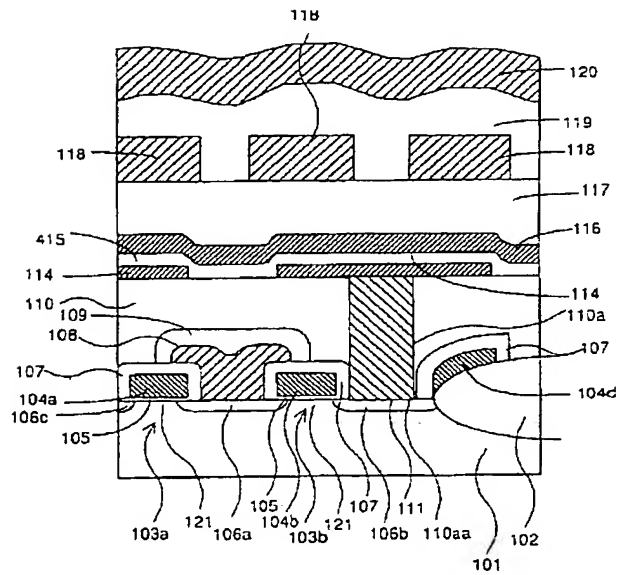
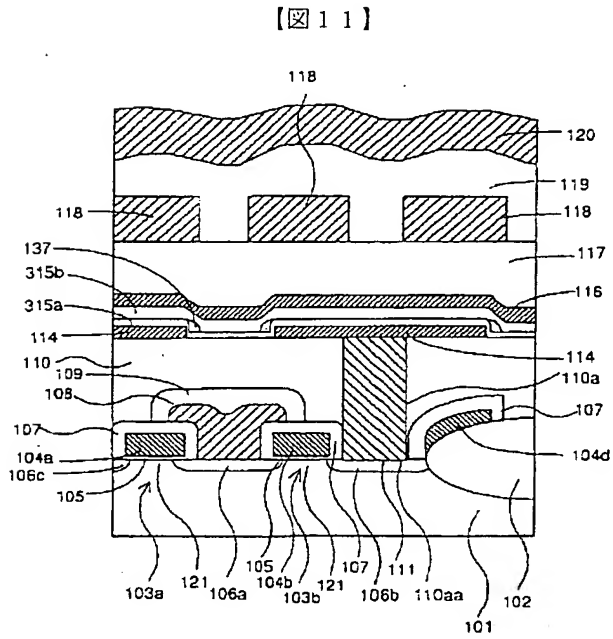
【図9】



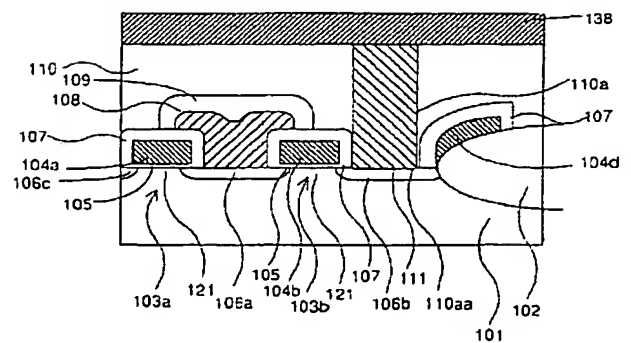
【図10】



【図12】

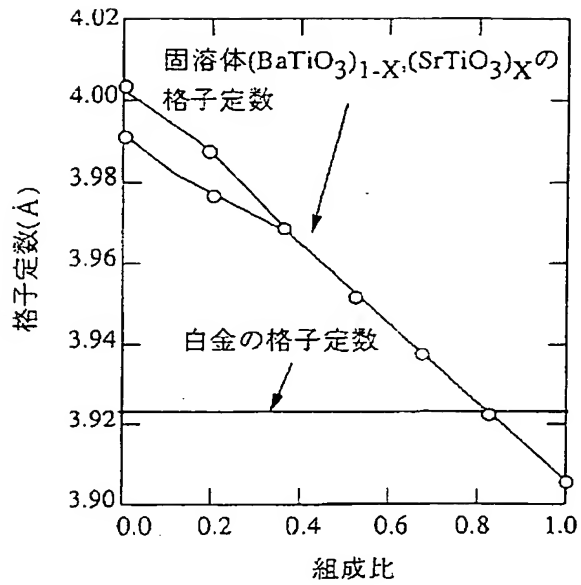


【図20】

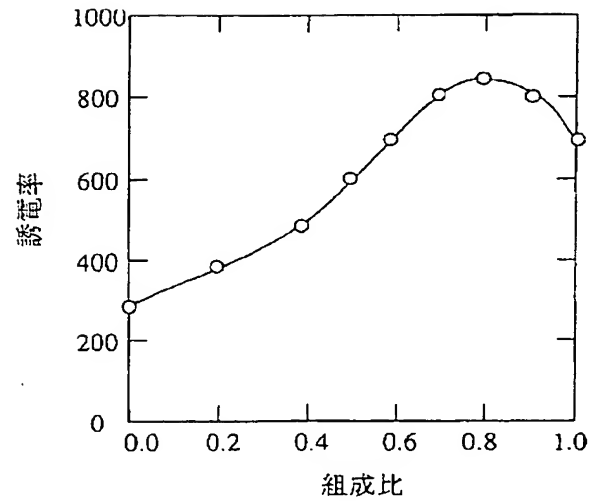




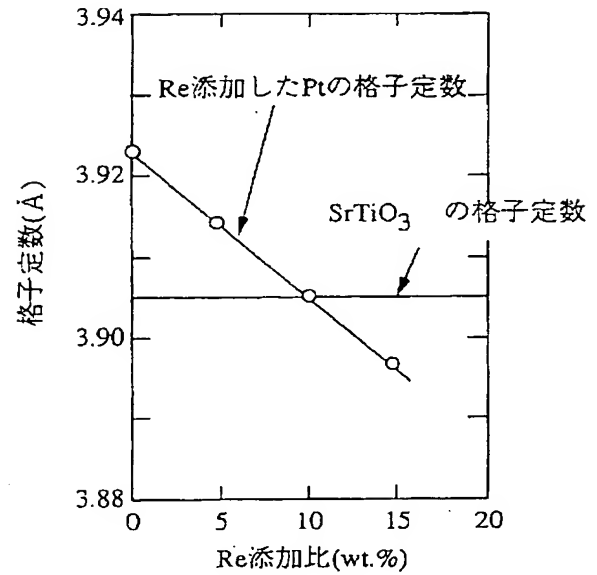
【図13】



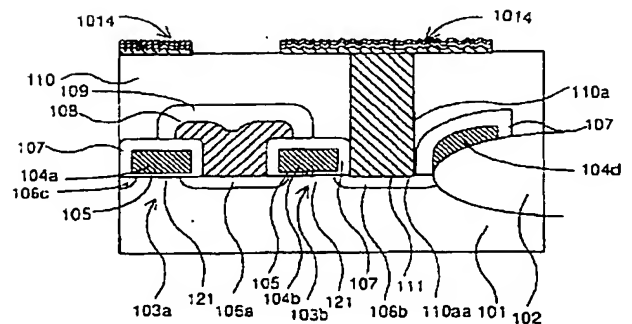
【図14】



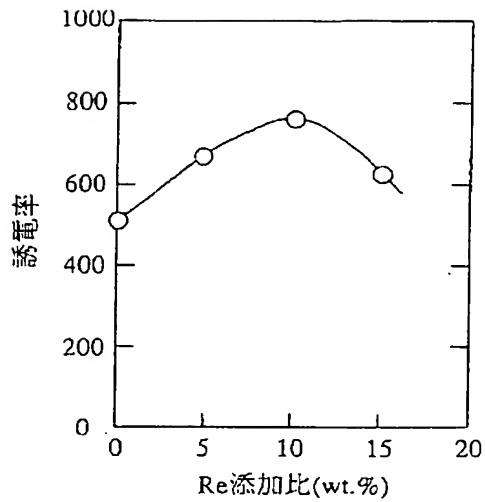
【図16】



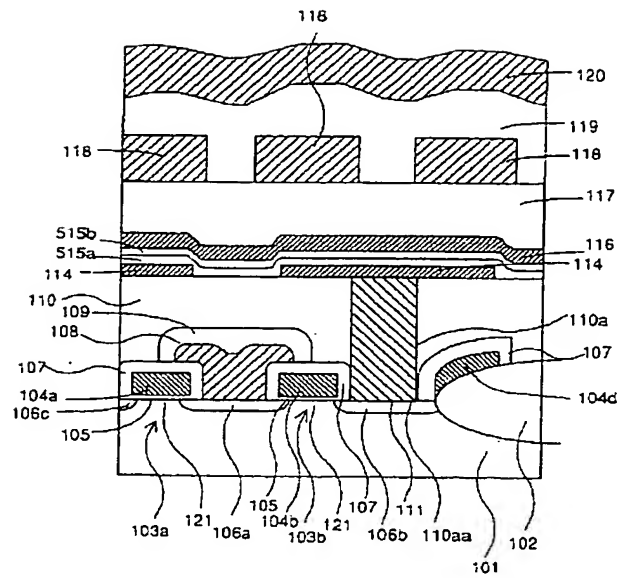
【図31】



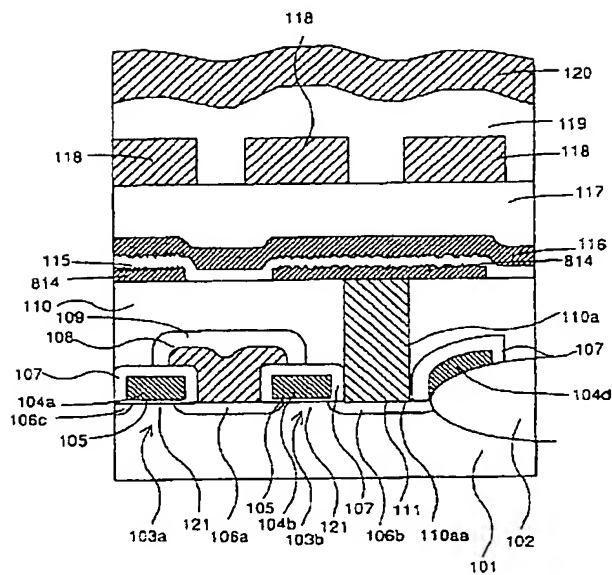
【図 17】



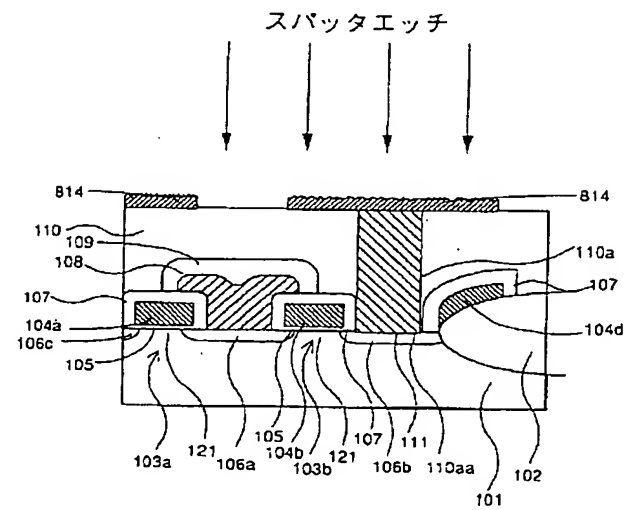
【図 18】



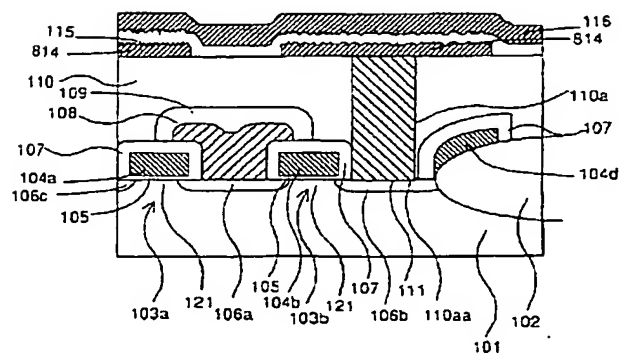
【図 19】



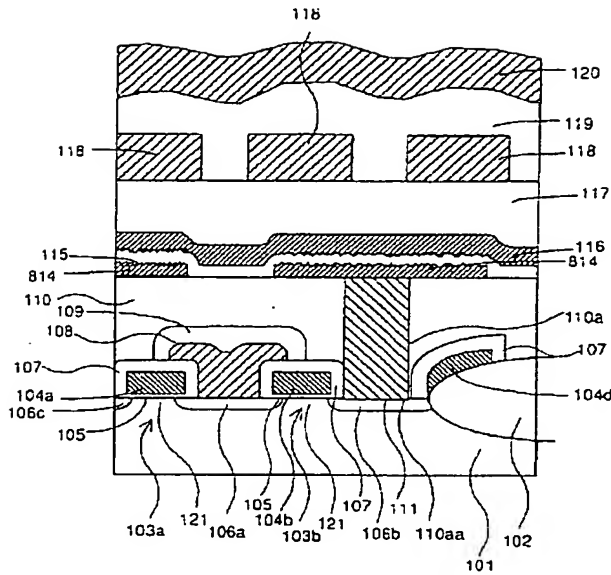
【図 21】



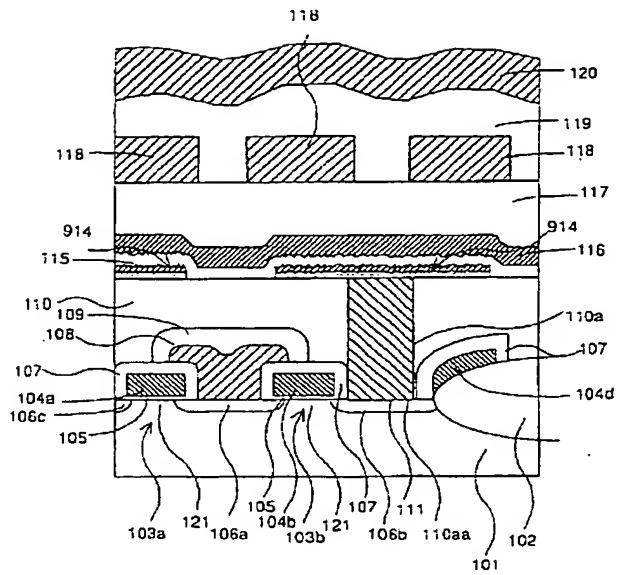
【図 22】



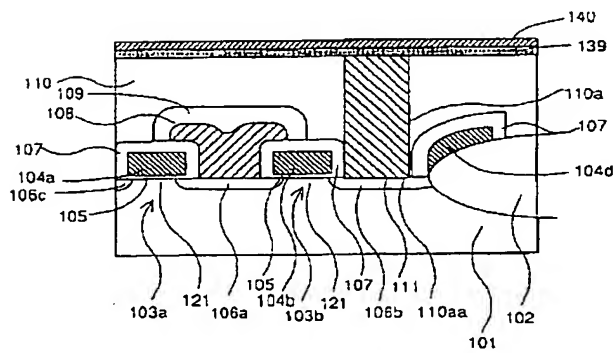
【図 23】



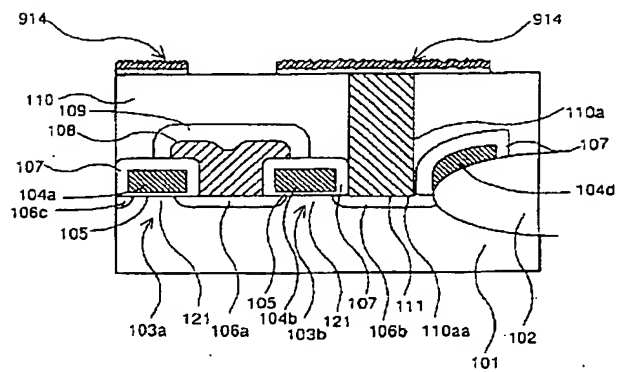
【図 24】



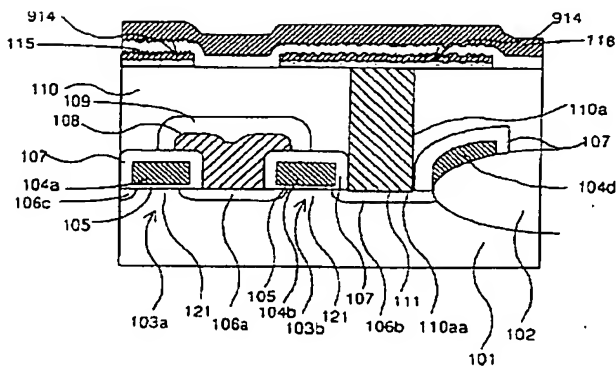
【図 25】



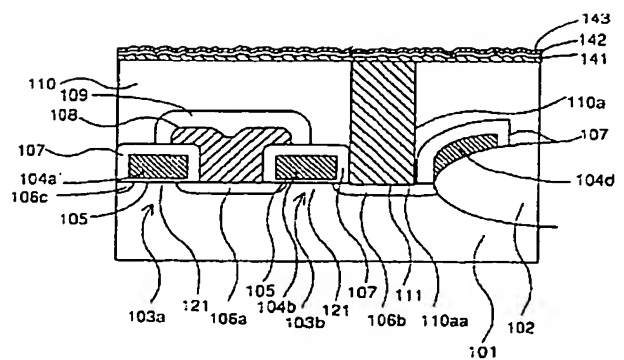
【図 26】



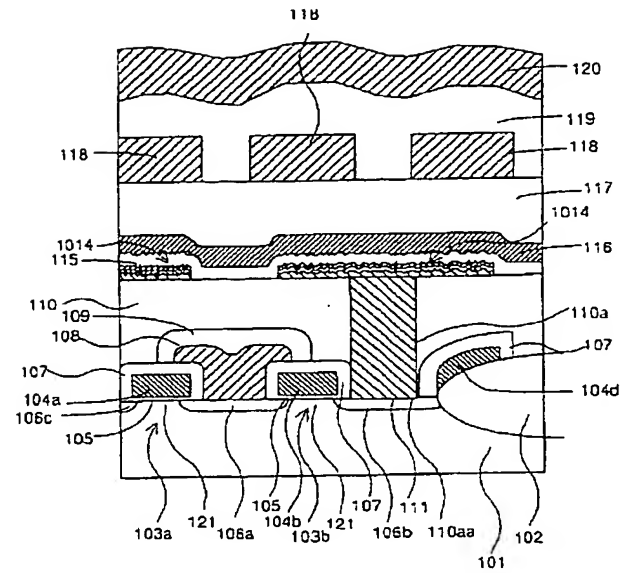
【図 27】



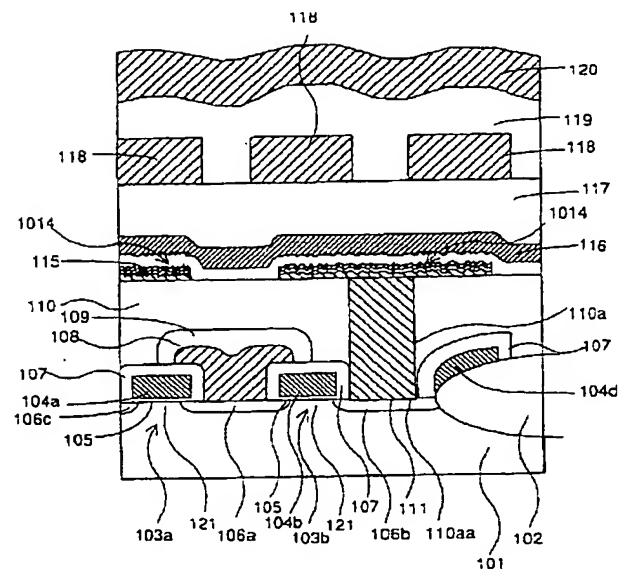
【図 30】



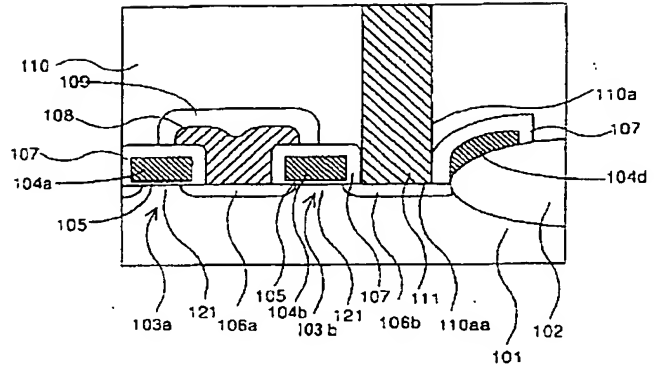
【圖 29】



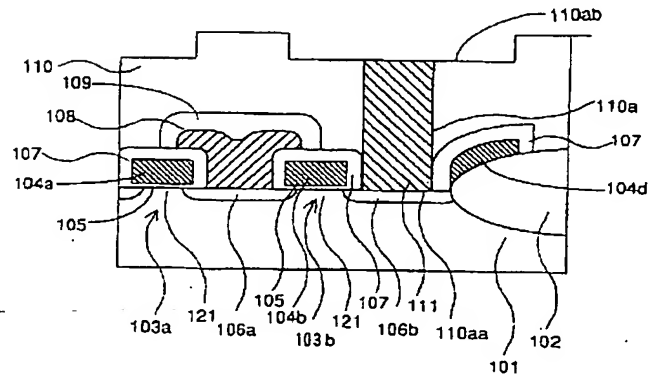
【图 3 3】



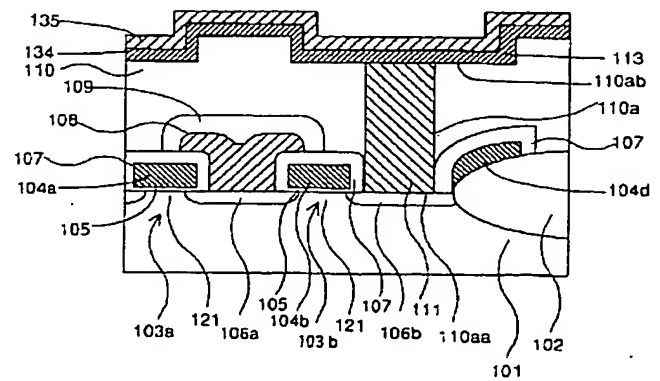
【図 3 5】



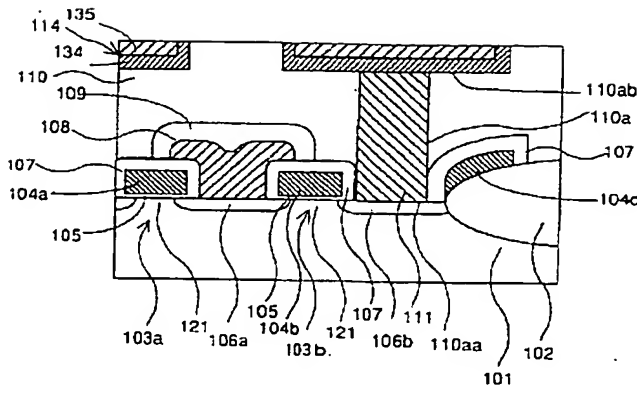
【図 37】



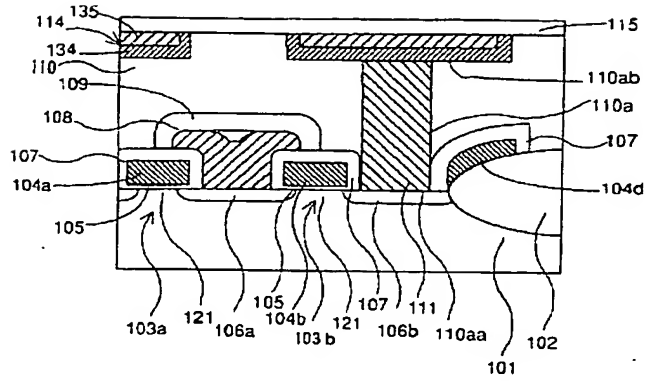
【図 5 1】



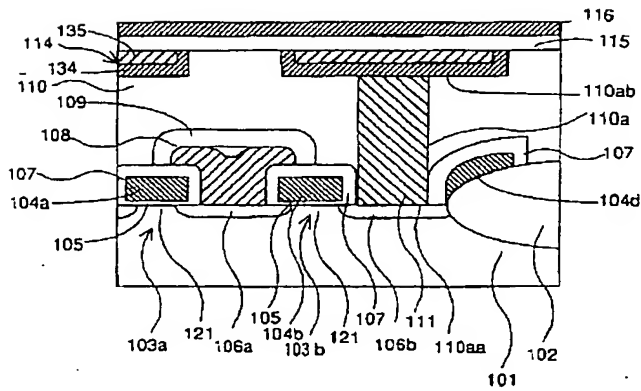
【図 39】



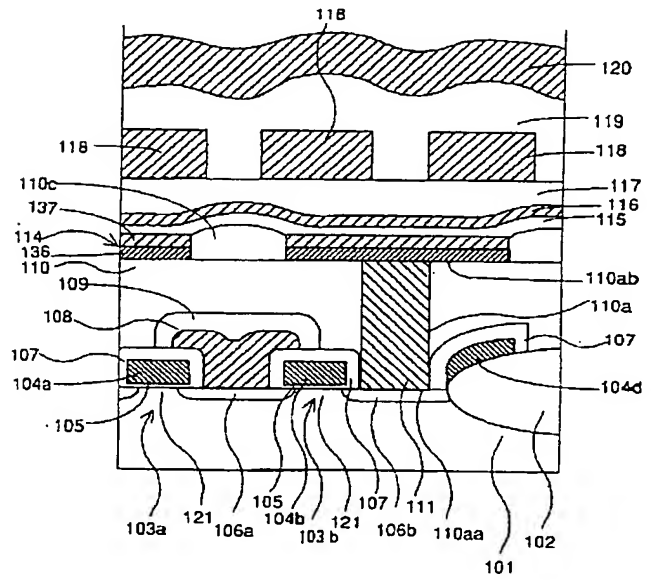
【図 40】



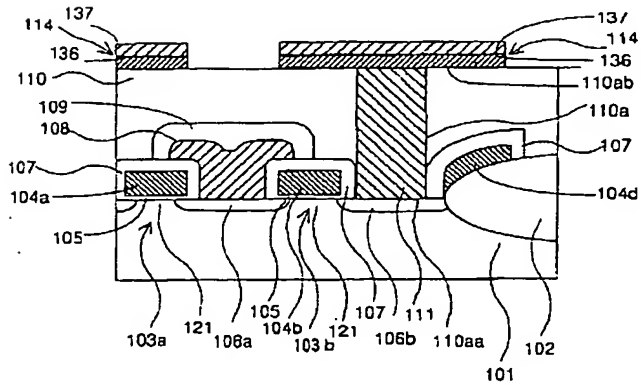
【図 41】



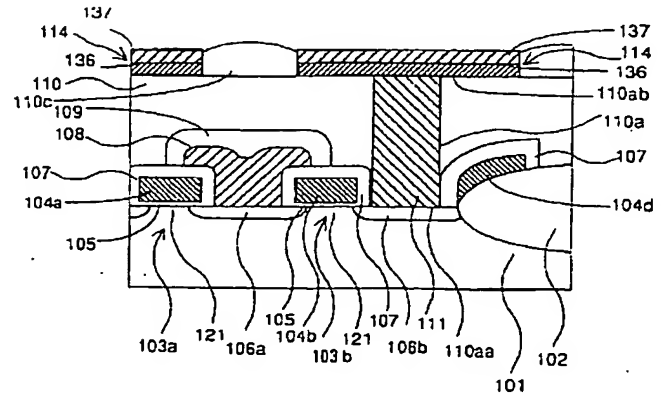
【図 42】



【図 43】

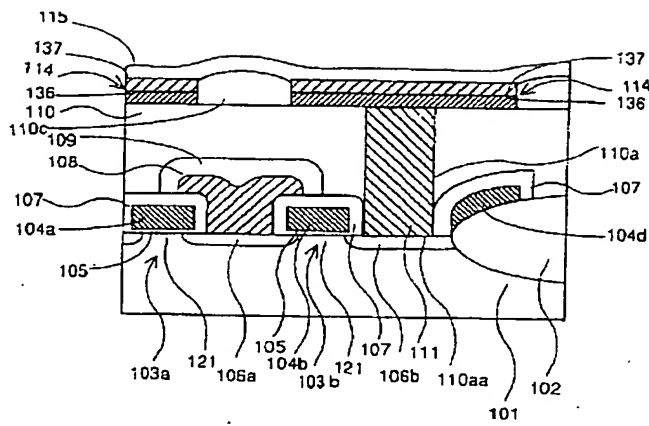


【図 44】

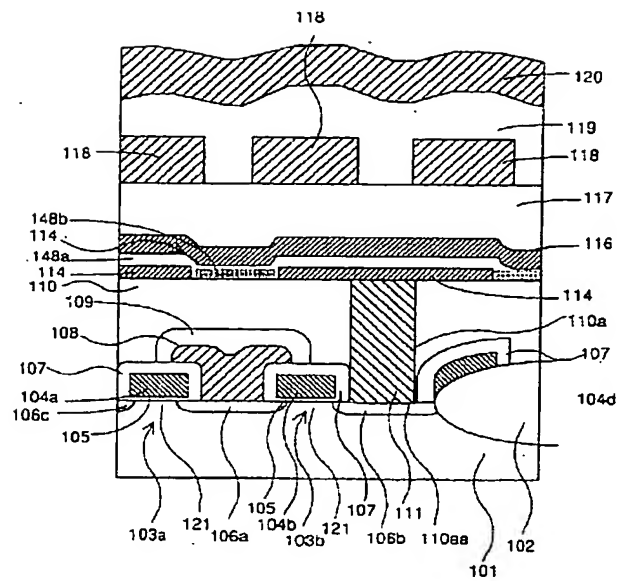




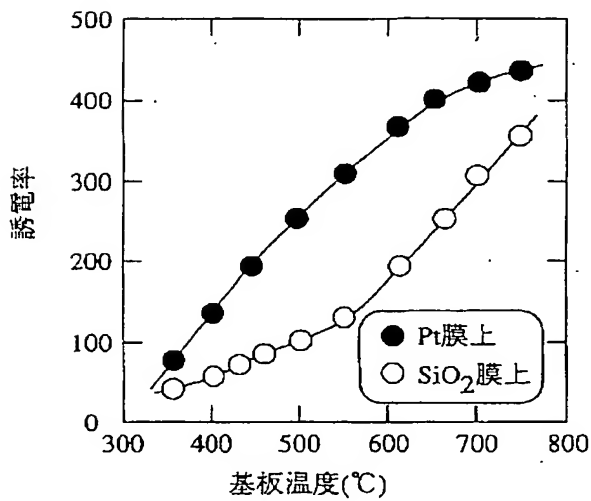
【図 4 5】



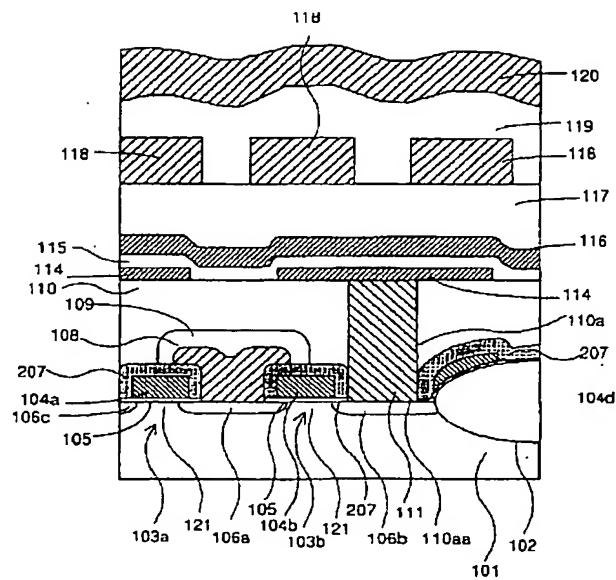
【図 4 6】



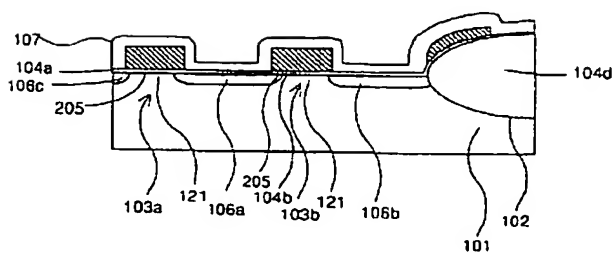
【図 4 7】



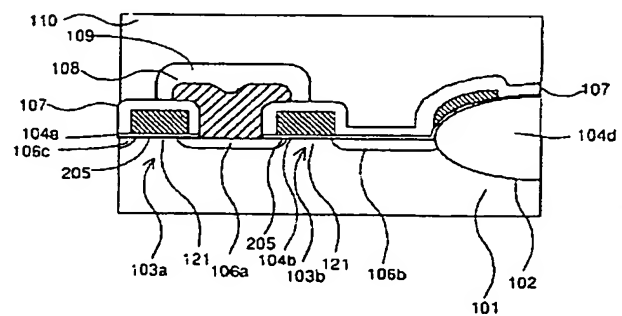
【図 4 8】



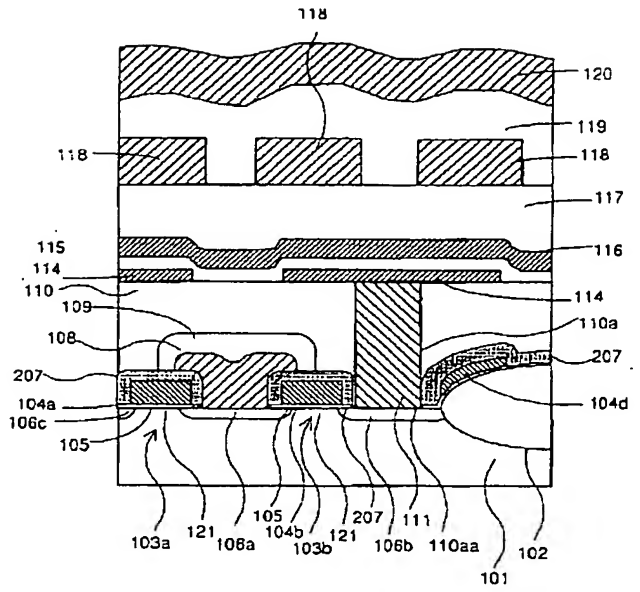
【図 5 4】



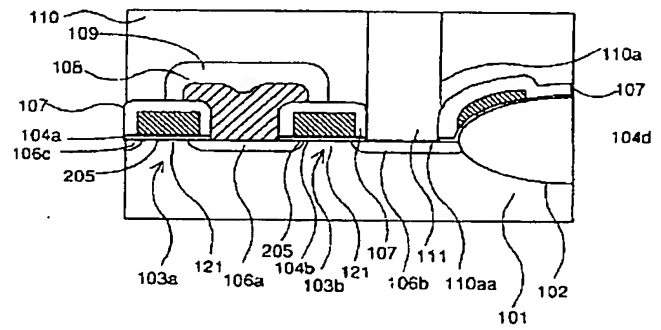
【図 5 5】



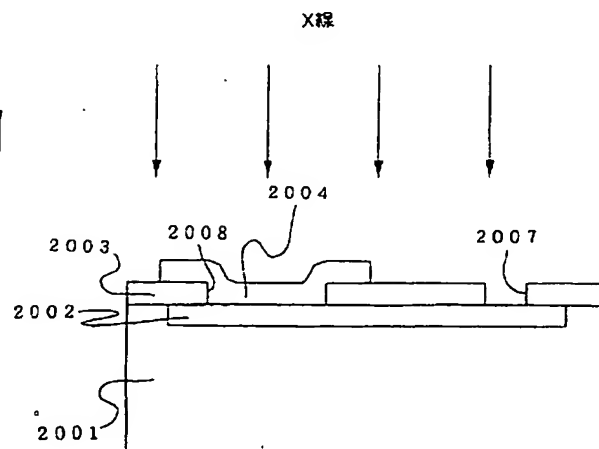
【圖 5 2】



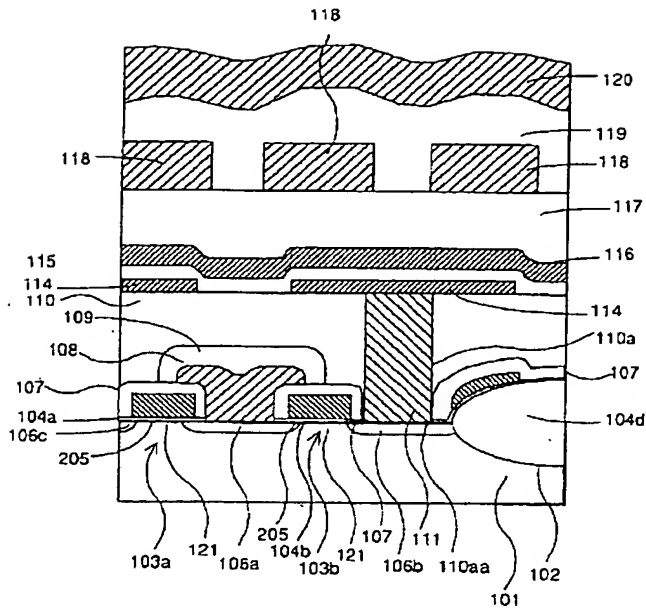
【図 5 6】



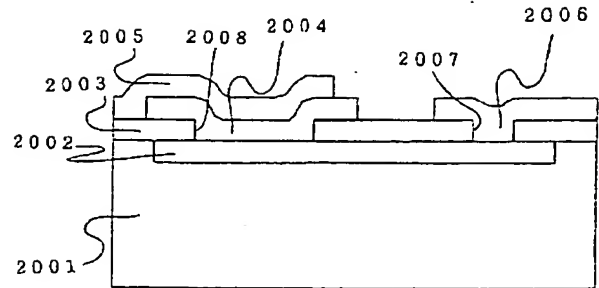
【図 5 9】



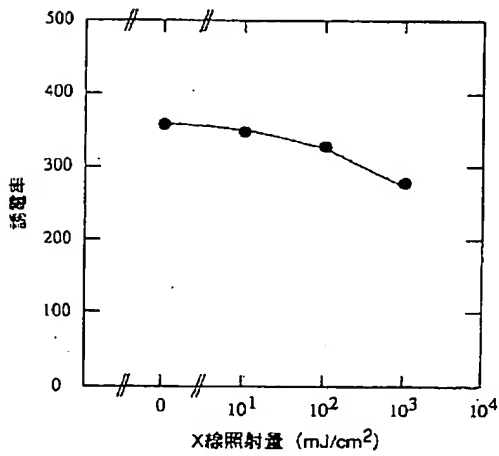
【図57】



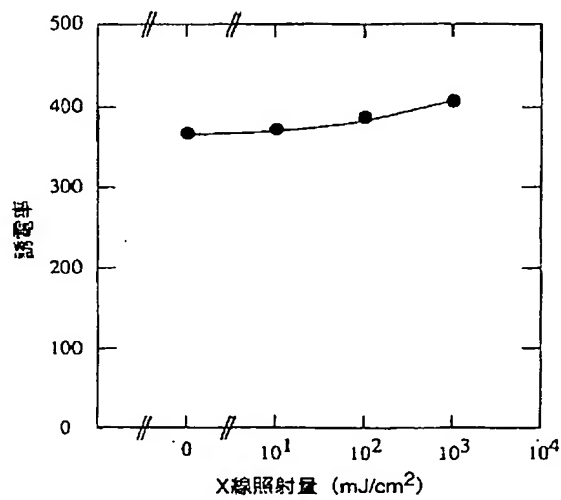
【図60】



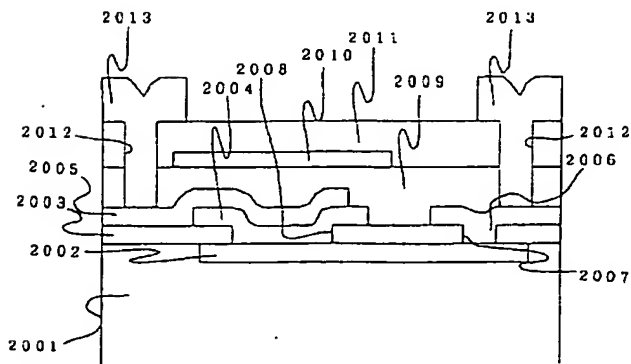
【図61】



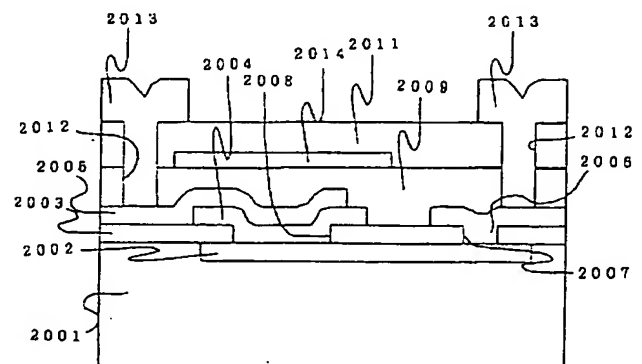
【図62】



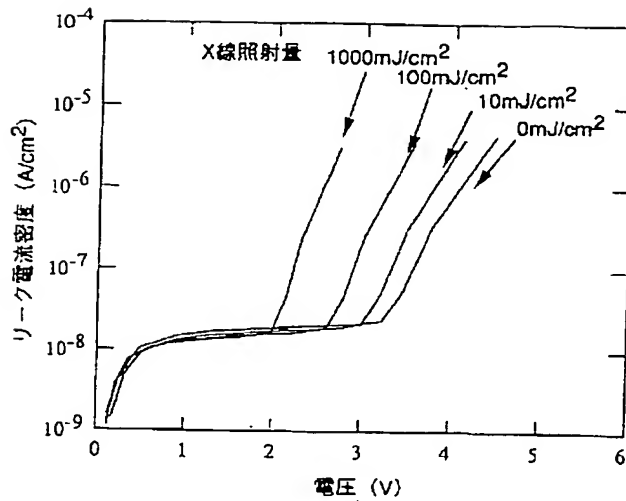
【図66】



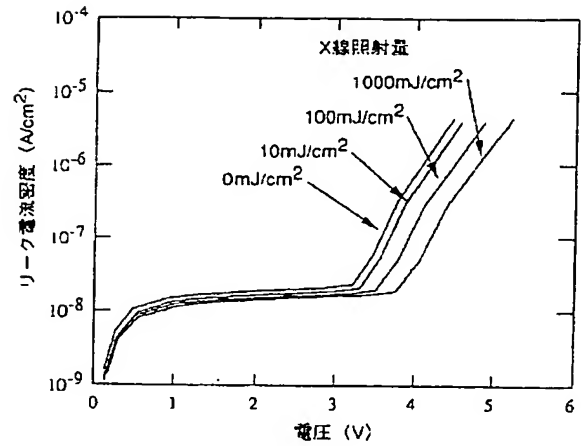
【図67】



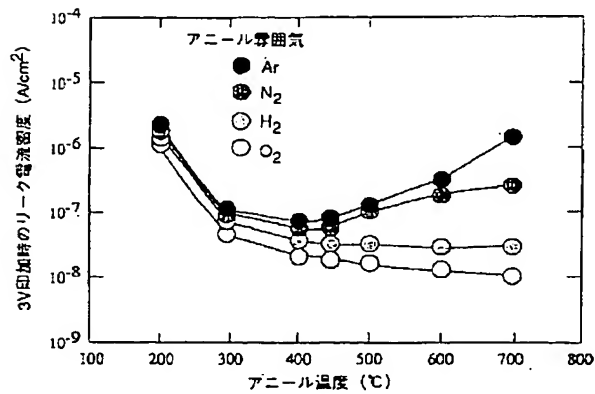
【図63】



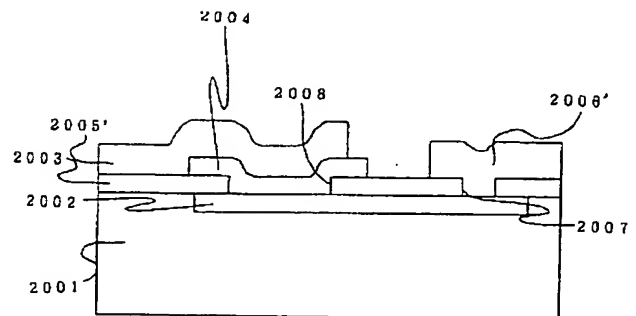
【図64】



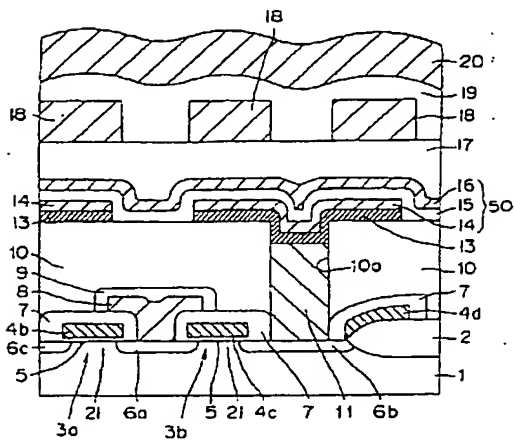
【図65】



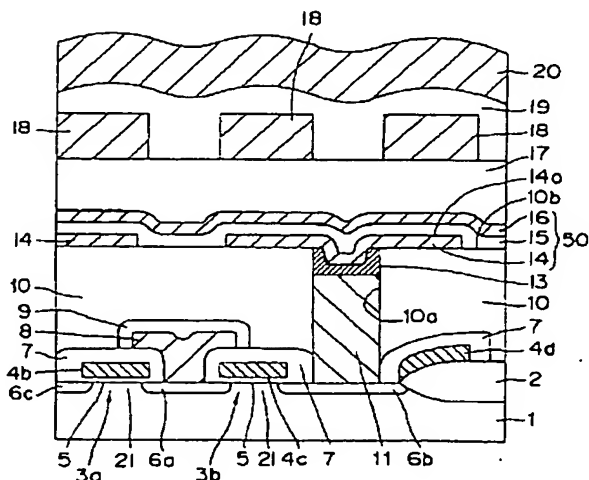
【図68】



【図69】



【図70】



フロントページの続き

(72)発明者 蒔田 哲郎  
東京都千代田区丸の内二丁目 2 番 3 号 三  
菱電機株式会社内

(72)発明者 三上 登  
東京都千代田区丸の内二丁目 2 番 3 号 三  
菱電機株式会社内